

Полупроводниковые нанотехнологии:  
современное состояние, проблемы и  
перспективы

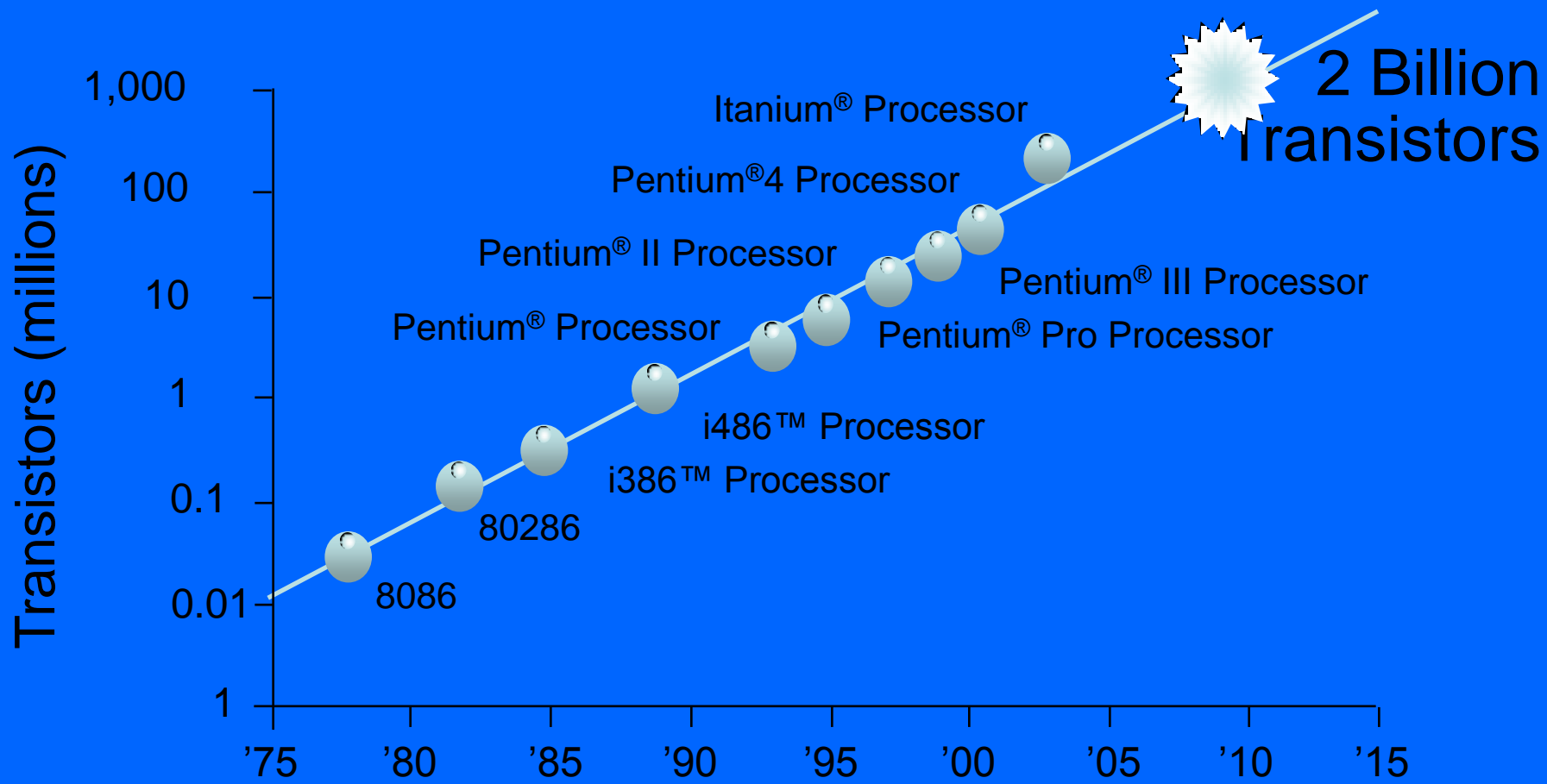
Николай Суетин

Intel

06 апреля, 2010

# Содержание:

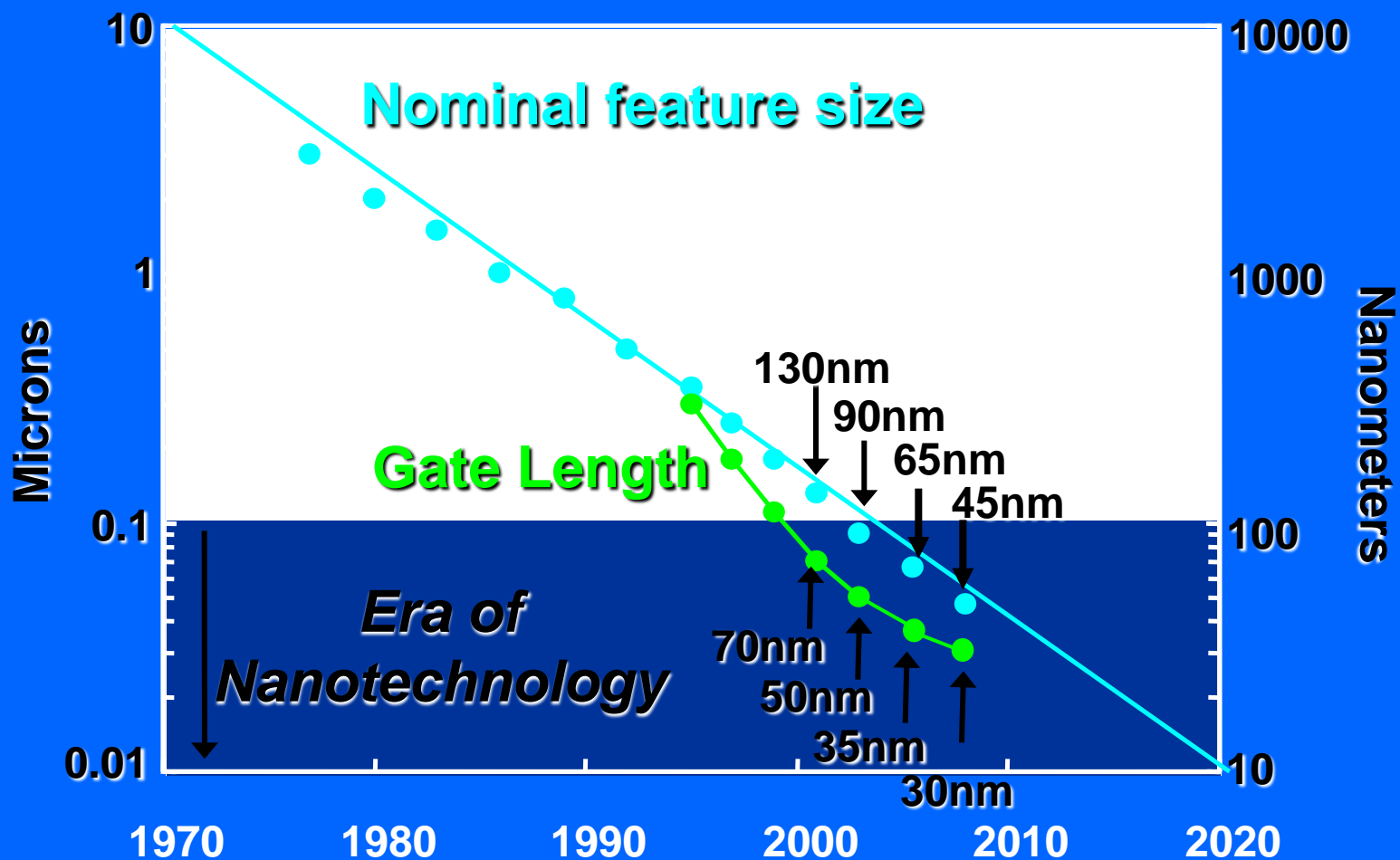
- Текущее состояние полупроводниковых нанотехнологий.
- Проблемы
  - литография
  - новые полупроводники
  - межсоединения
- Альтернативы и потребности в новых подходах
- Заключение



Source: Intel

- Количество транзисторов на единице поверхности удваивается каждые 18 месяцев (закон Мура)

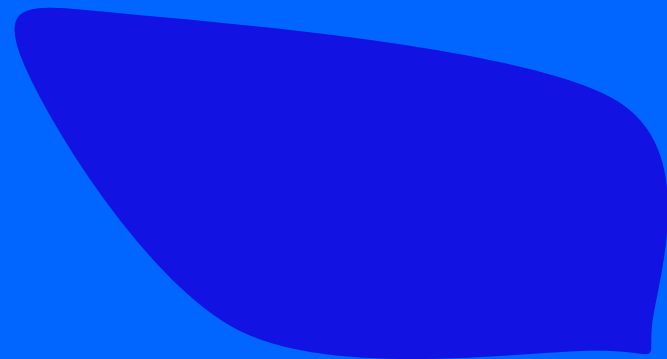
# Динамика уменьшения топологических размеров



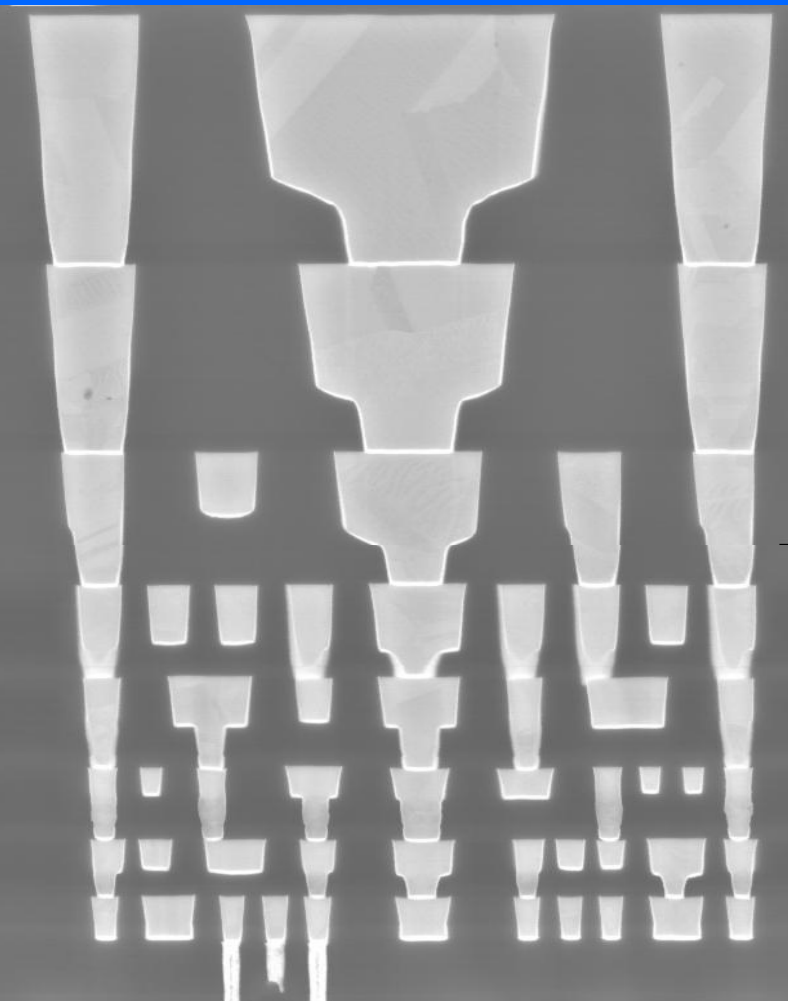
# Структура «камня»



2 – х уровневая  
металлизация Level  
Package-to-Board Interc



# Структура соединений в чипе



M8

M7

M6

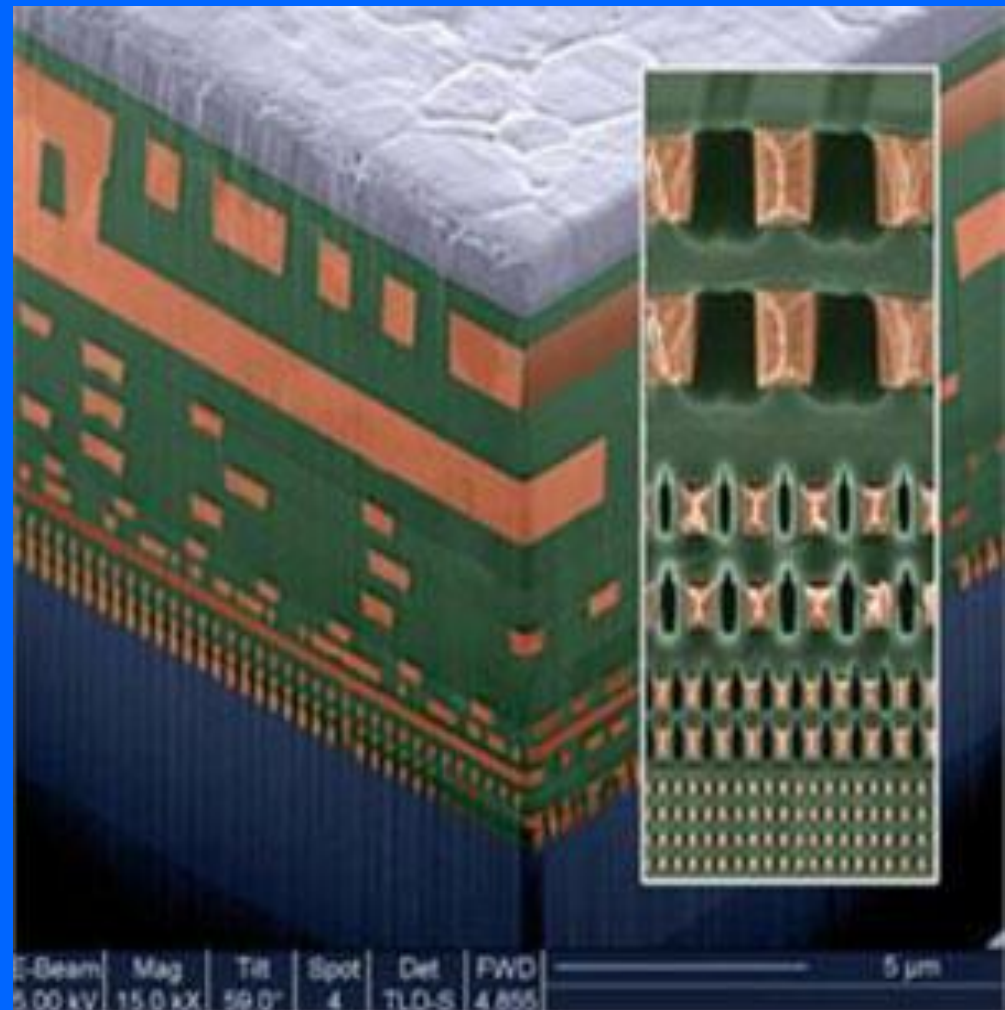
M5

M4

M3

M2

M1

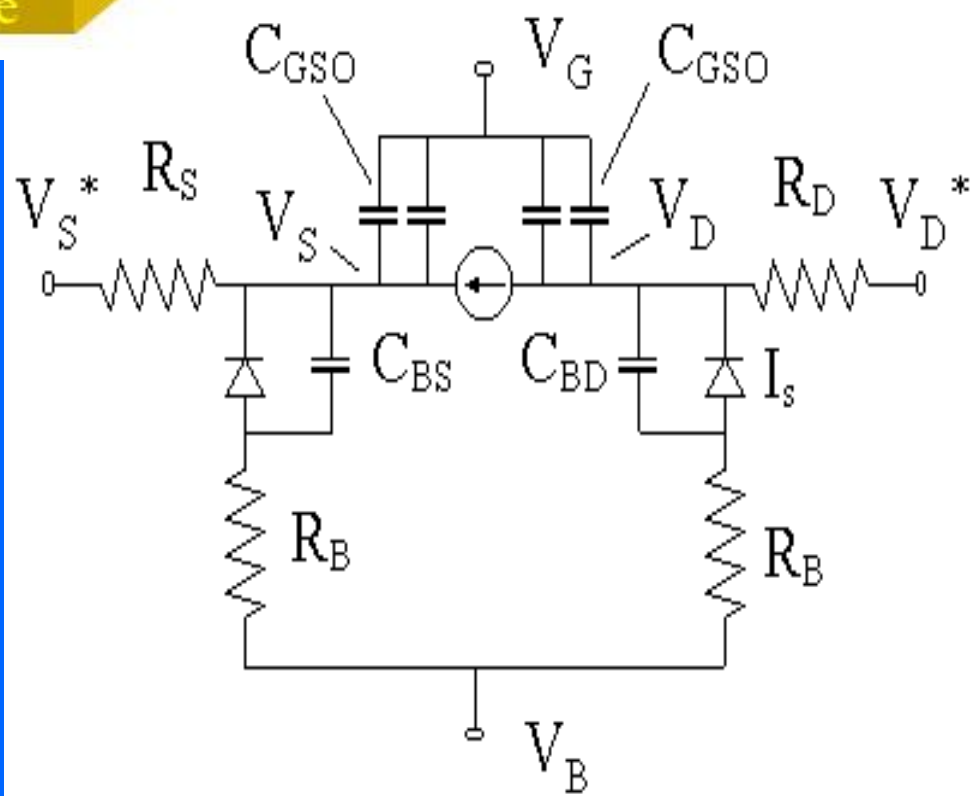
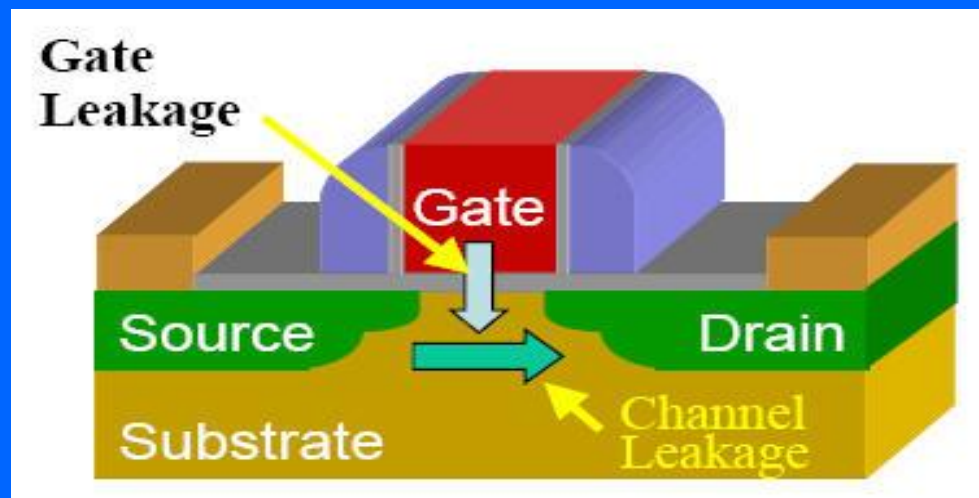


E-Beam	Mag	Tilt	Spot	Det	FWD
5.00 kV	15.0 kX	59.0°	4	TLO-S	4.855

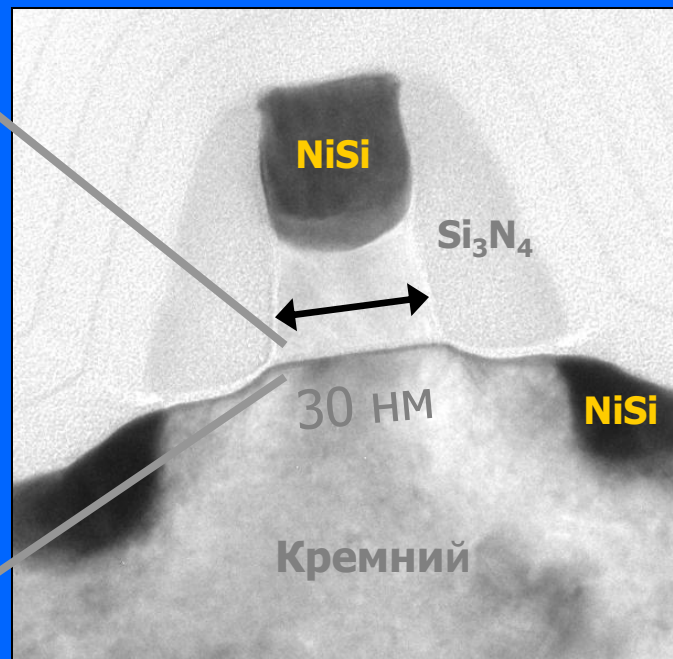
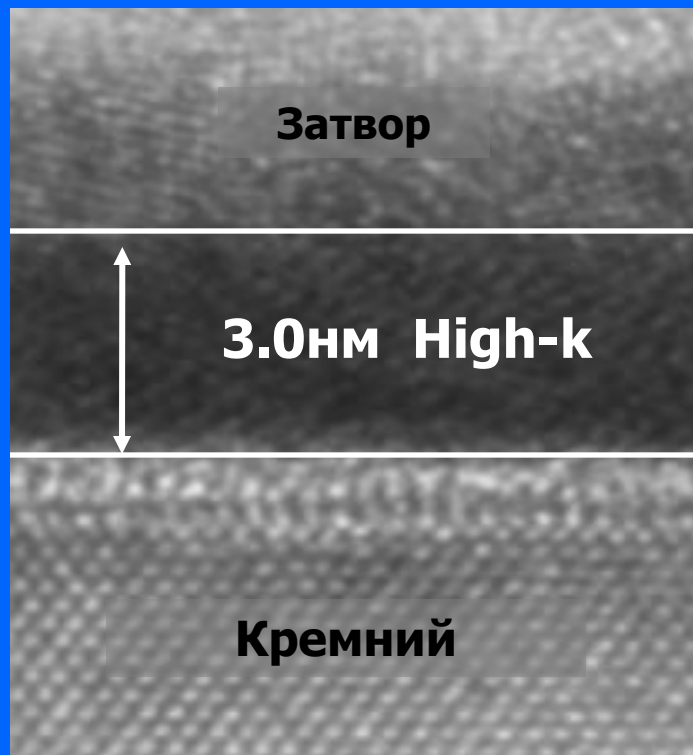
5 µm



# MOSFET эквивалентная электрическая схема

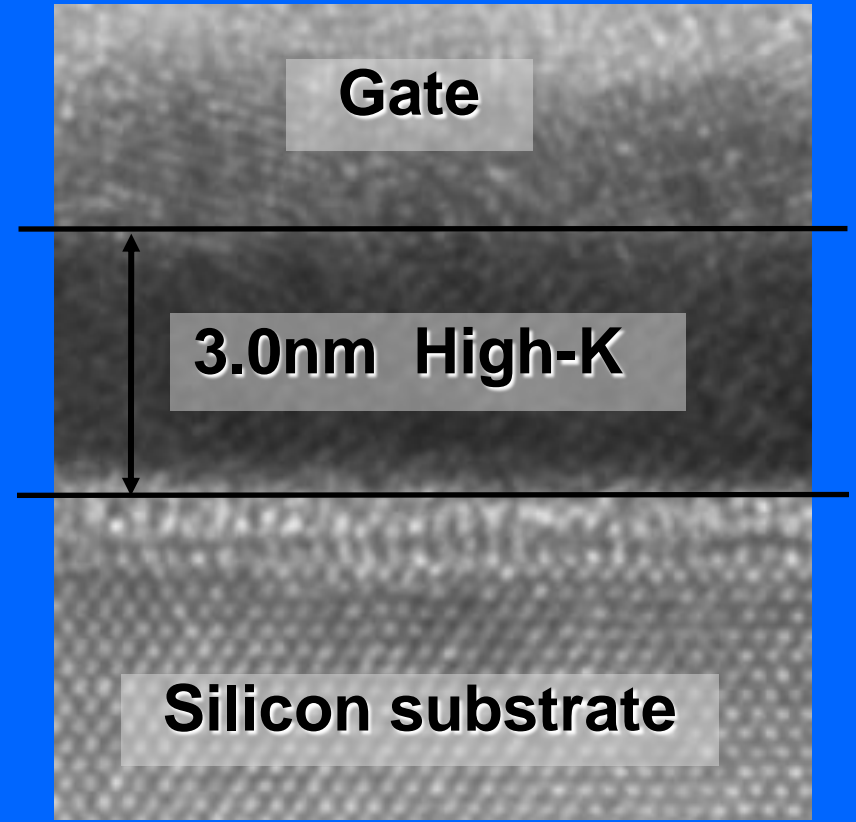
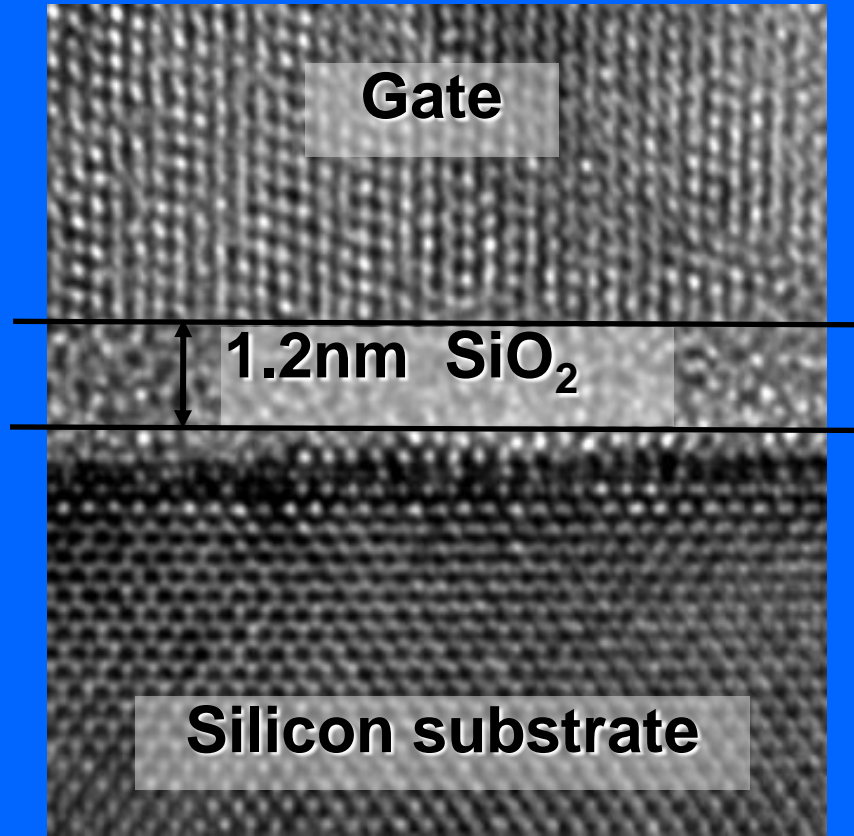


# Транзисторы 45 нм





# Нанотехнологии для подзатворного диэлектрика



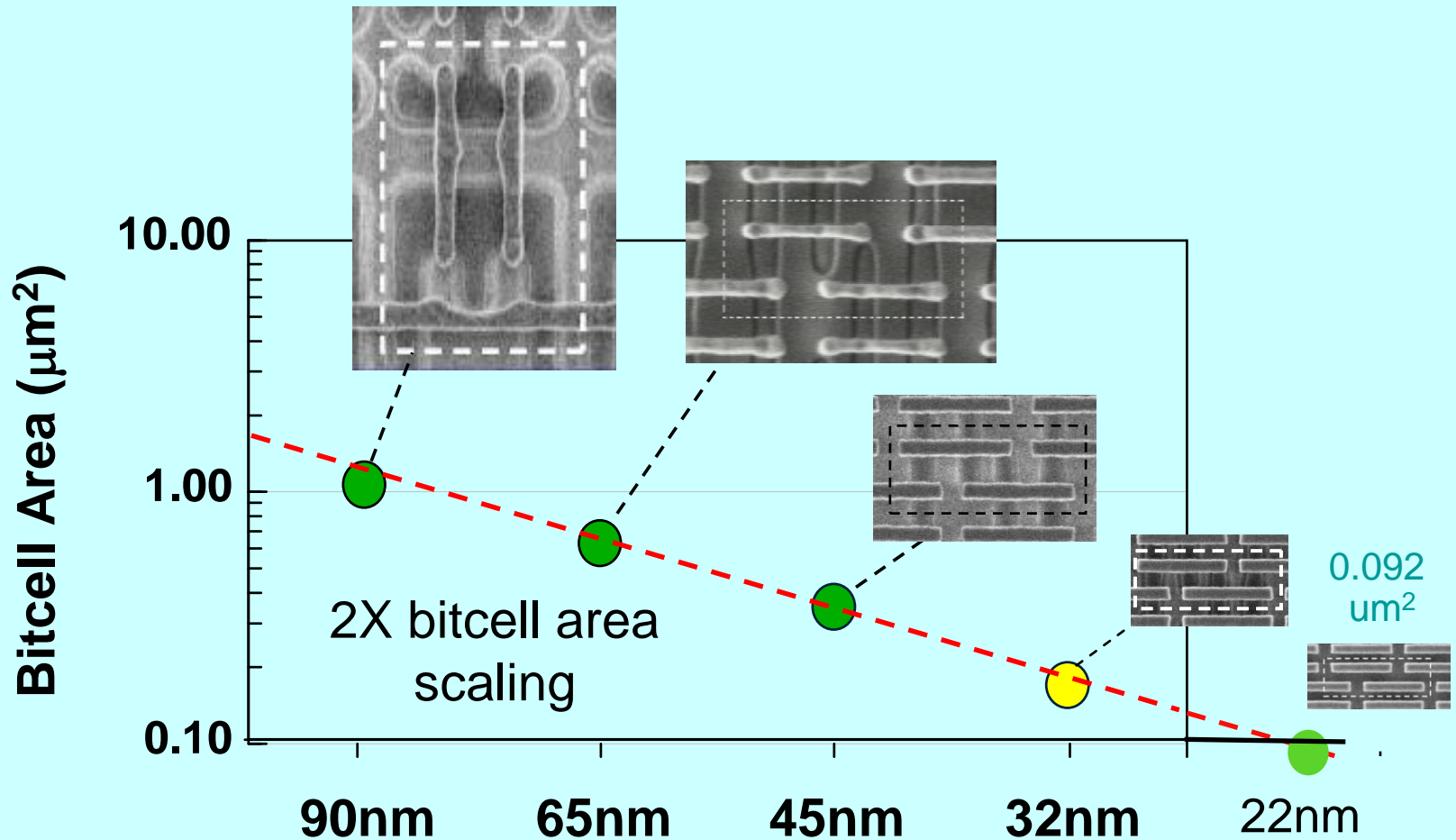
## Инновации, изменяющие индустрию

“Реализация high-k и использование металлов означает наиболее значимое изменение в технологии транзисторов со времени изобретения MOS транзисторов с поликремниевыми затворами в конце 1960-х.”

– *Гордон Мур*

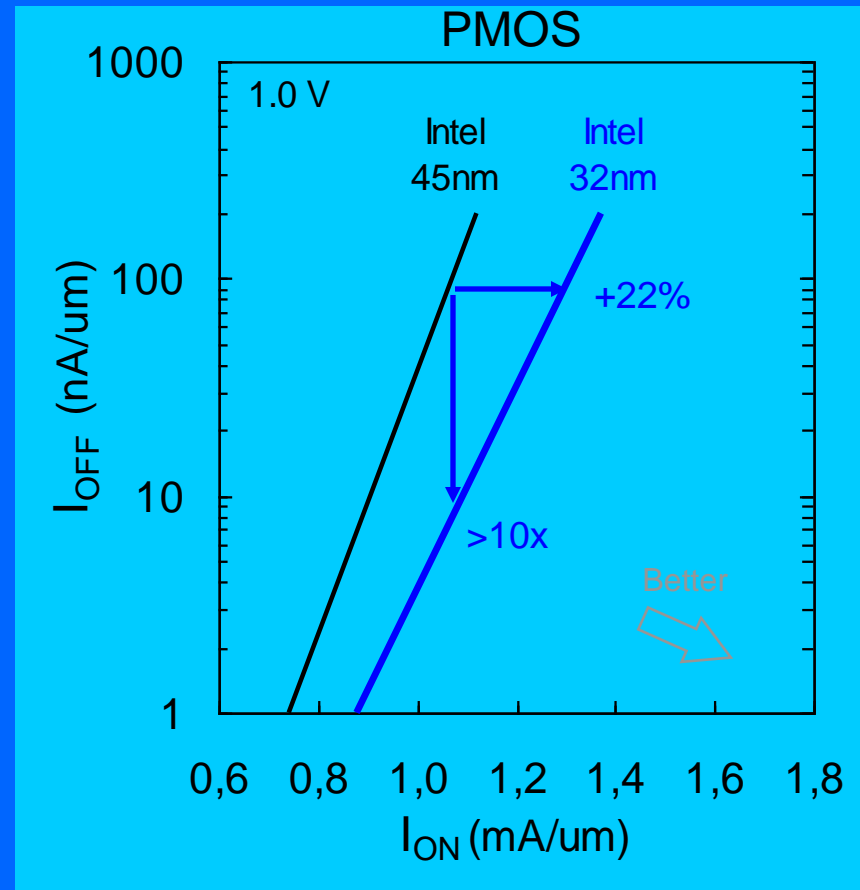
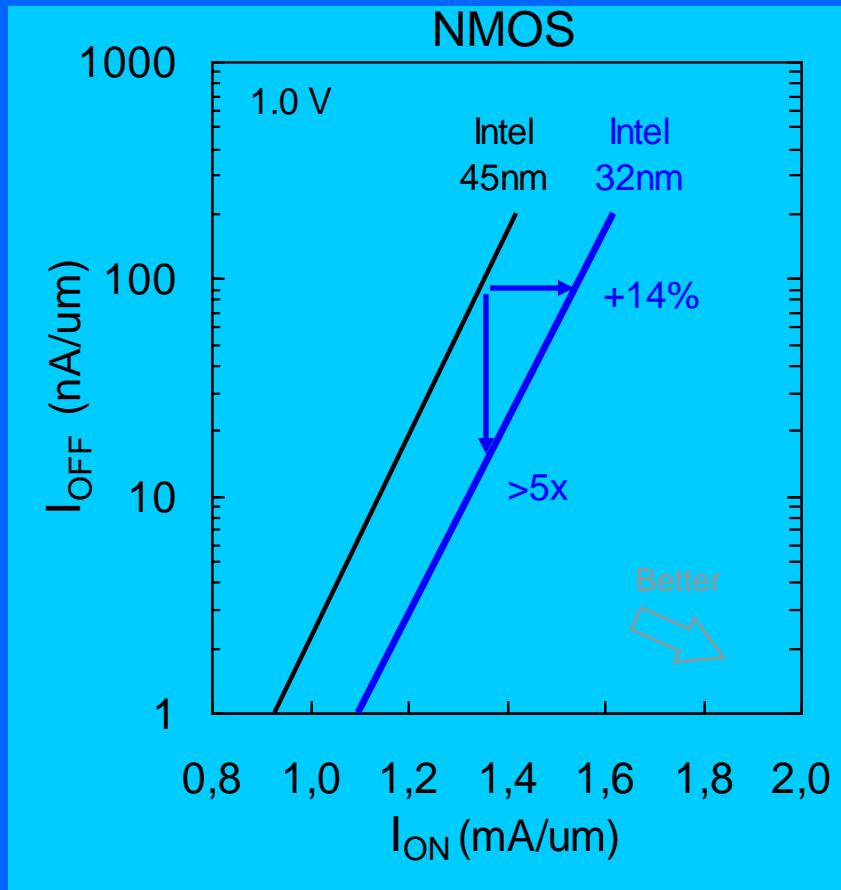


# Technology Density Scaling – 6T SRAM



Improved fidelity / uniformity

# Характеристики 32 нм транзисторов



32 нм процесс обеспечивает существенное снижение токов утечки и улучшает производительность



# 32 нм фабрики



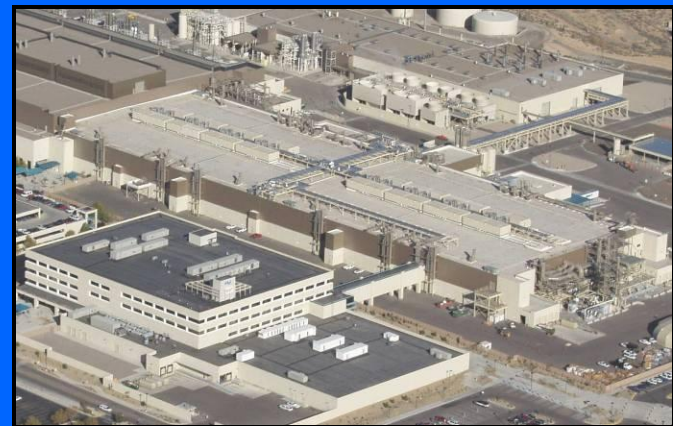
D1D Oregon - Now



D1C Oregon - now

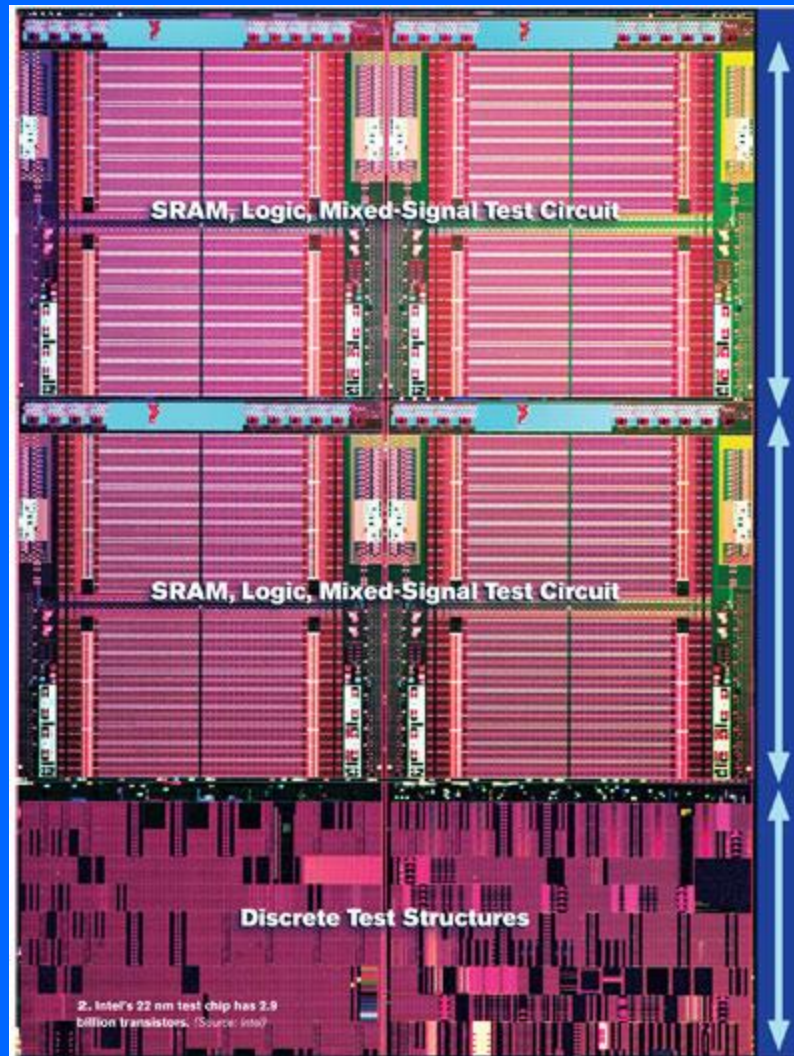


Fab 32 Arizona - 2010



Fab 11X New Mexico - 2010

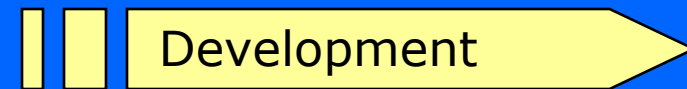
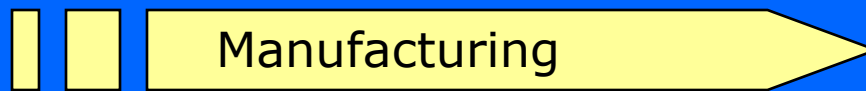
# 22 nm test structures





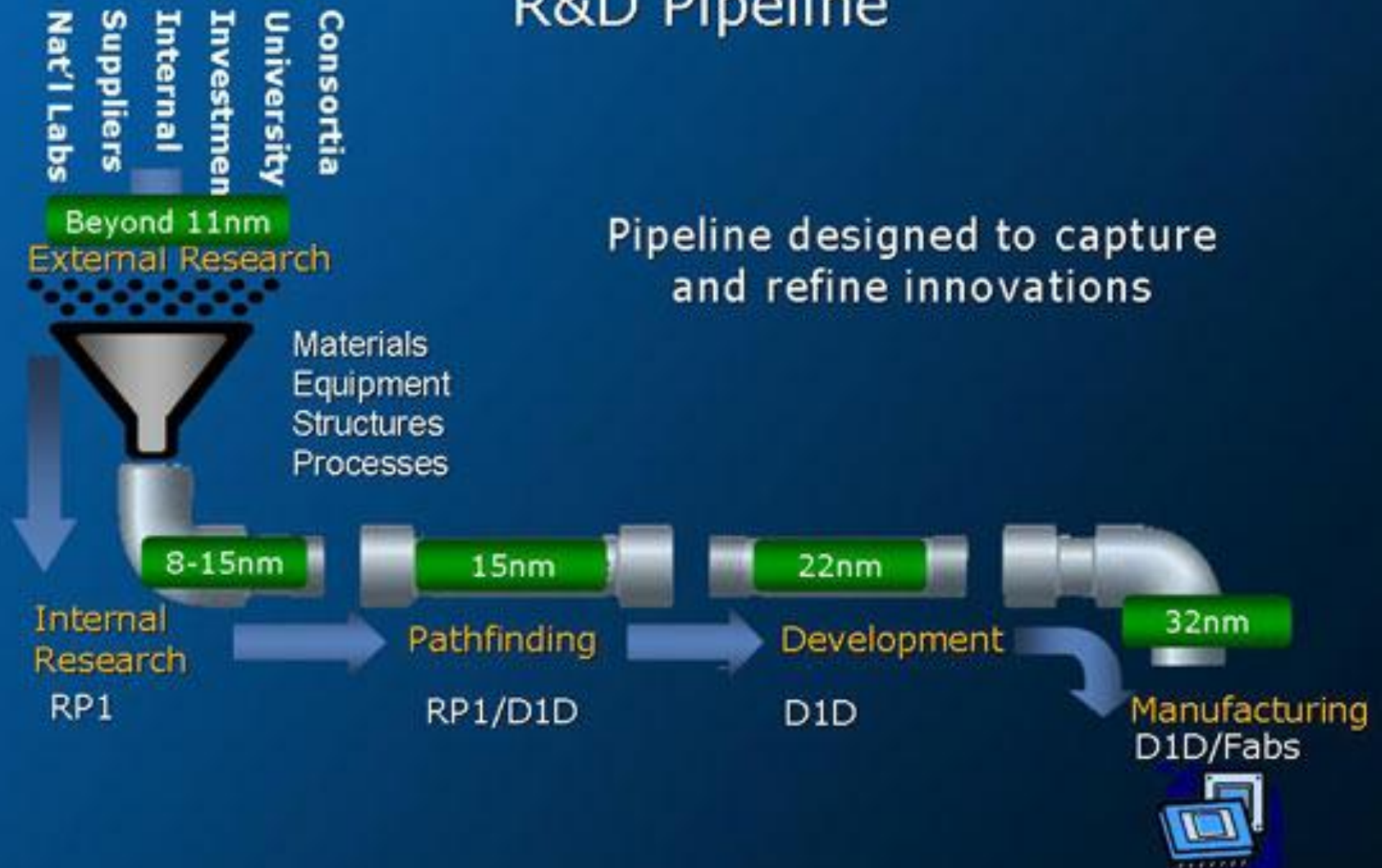
# Intel: Эволюцию технологий

Process Name	<u>P1264</u>	<u>P1266</u>	<u>P1268</u>	<u>P1270</u>	<u>P1272</u>
Lithography	65nm	45nm	32nm	22nm	16nm
1 <sup>st</sup> Production	2005	2007	2009	2011	2013



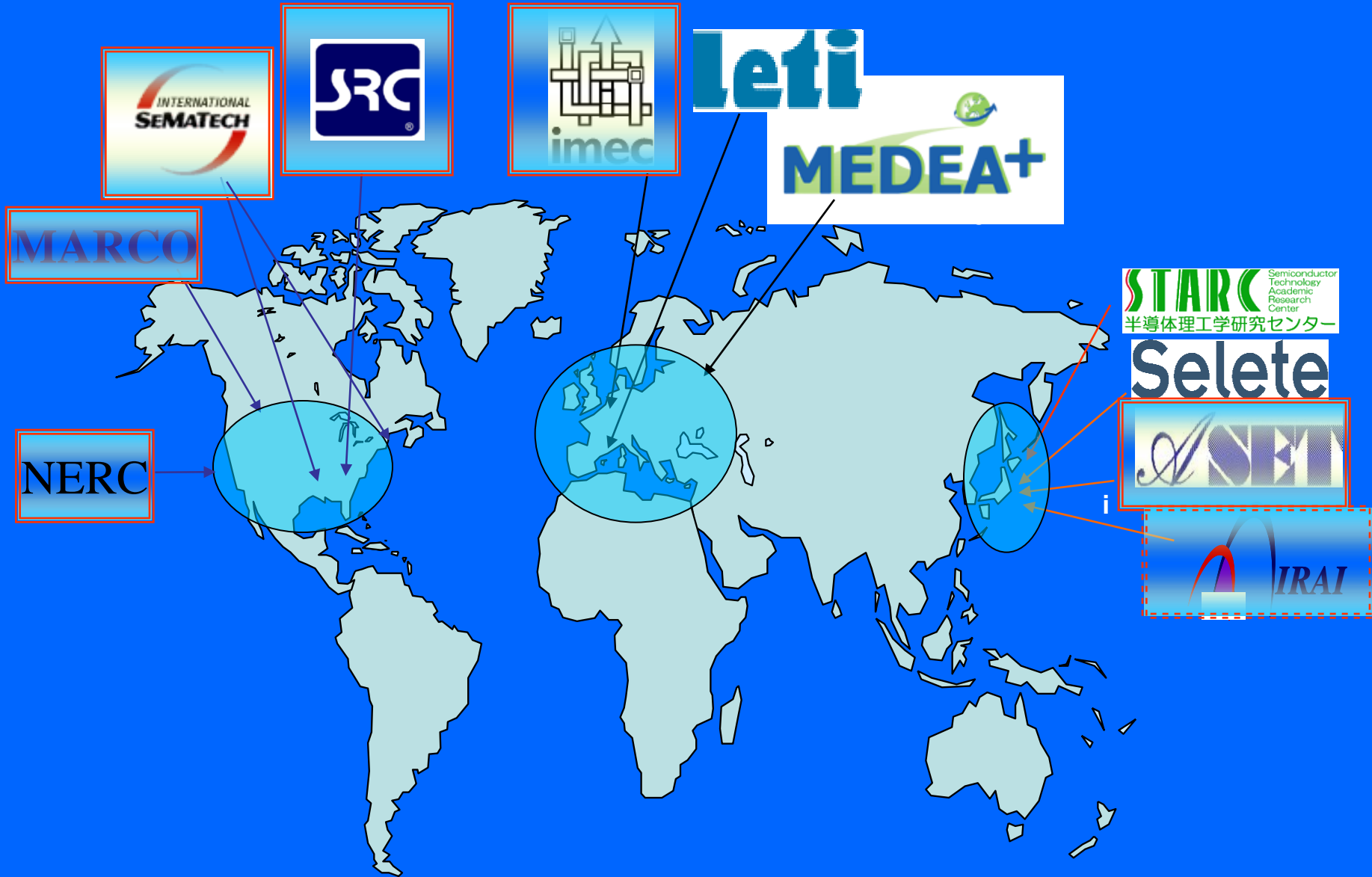
Постоянный поток новых технологий из сферы исследований в сферу производства

# Unwavering Commitment to Invest in R&D Pipeline



Pipeline designed to capture and refine innovations

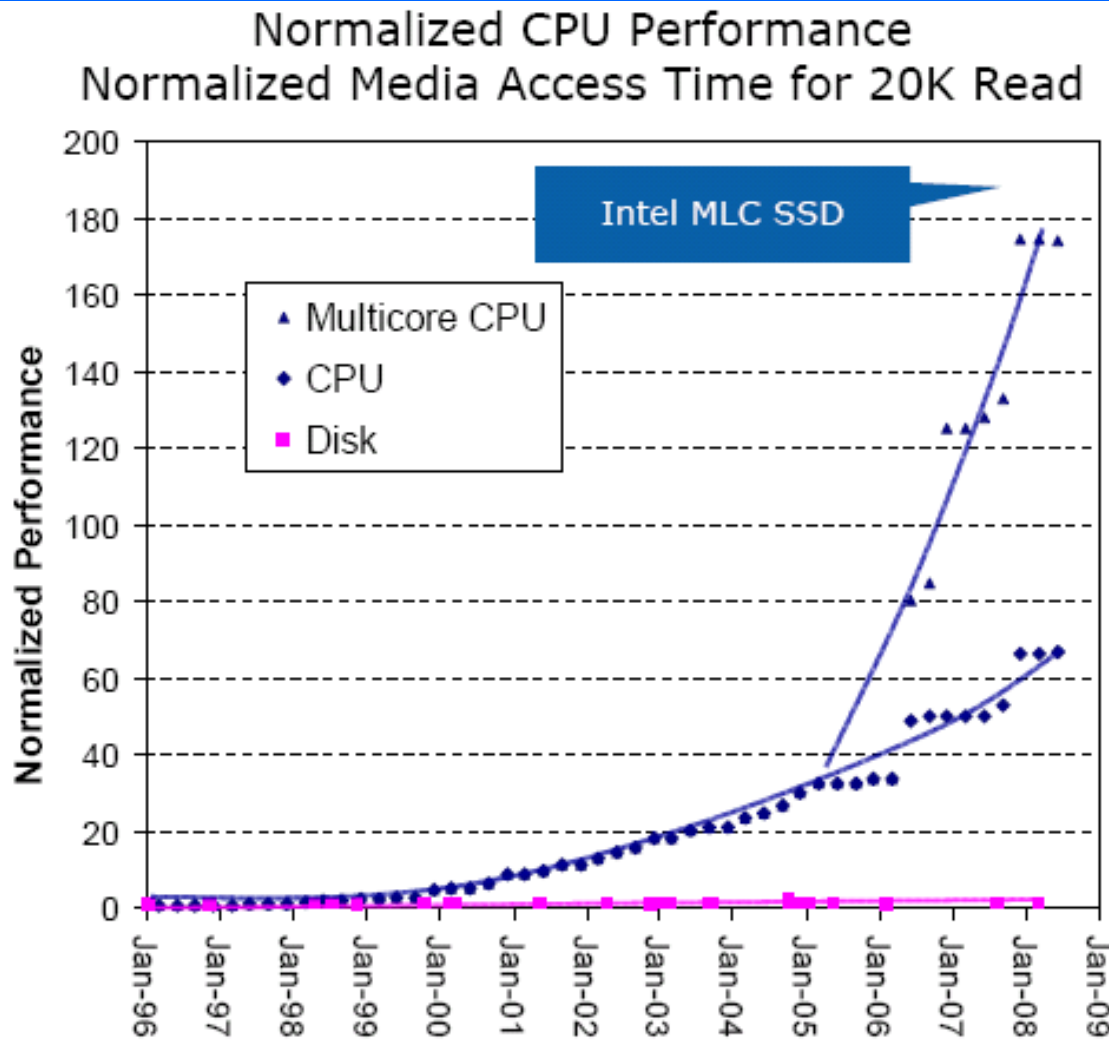
# Intel – кооперация в исследованиях



# Новая инициатива: 450 мм кремний



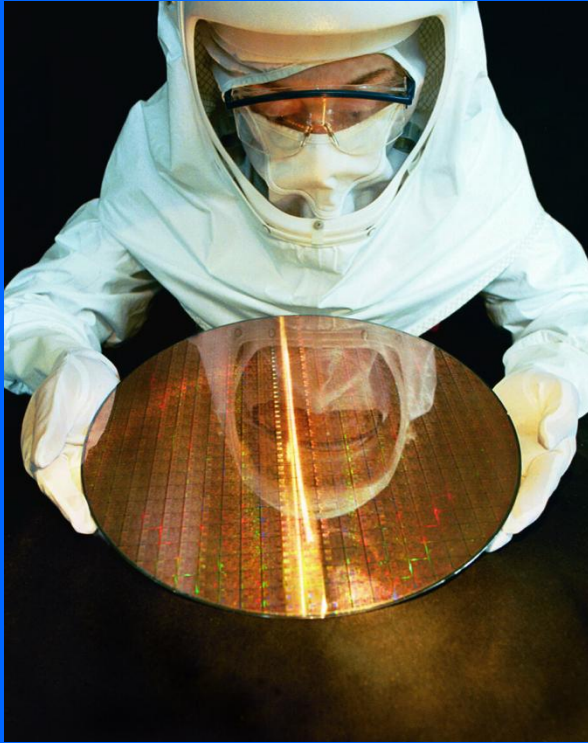
# SSD



- Скорость доступа к магнитной памяти 1.3X за 13 лет
- 175X CPU!!!



# Ключевой вопрос

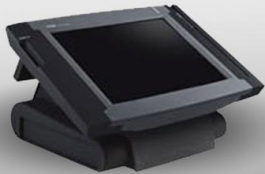


- 1 000 000 000 (миллиард) транзисторов на столе: как использовать всю эту мощь?



# Новые направления

Встроенные



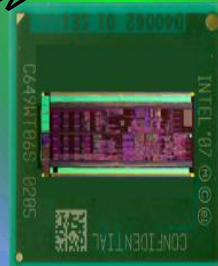
Нетбук /  
Неттоп



ATOM  
2-е поколение  
Архитектуры IA

Emb. Menlow

Diamondville



Sodaville

Menlow

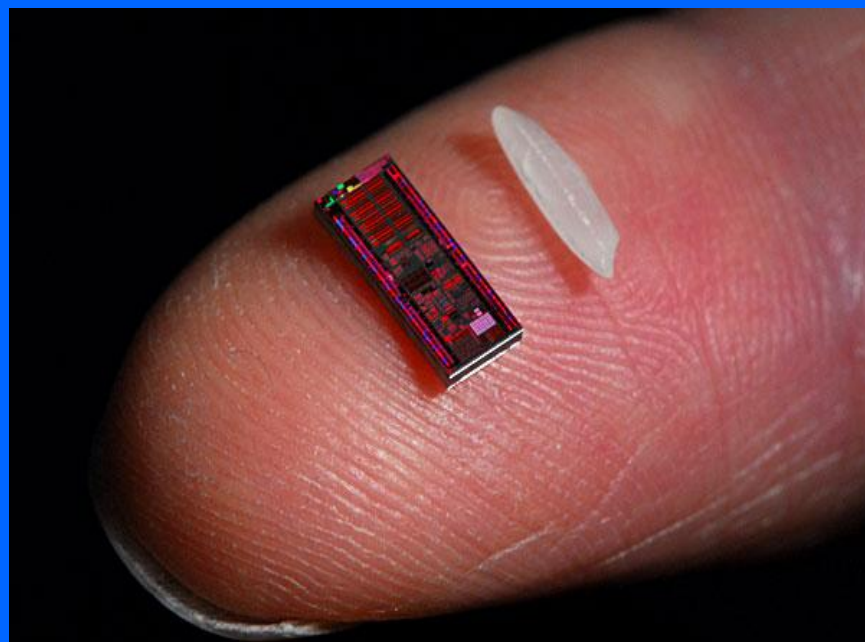
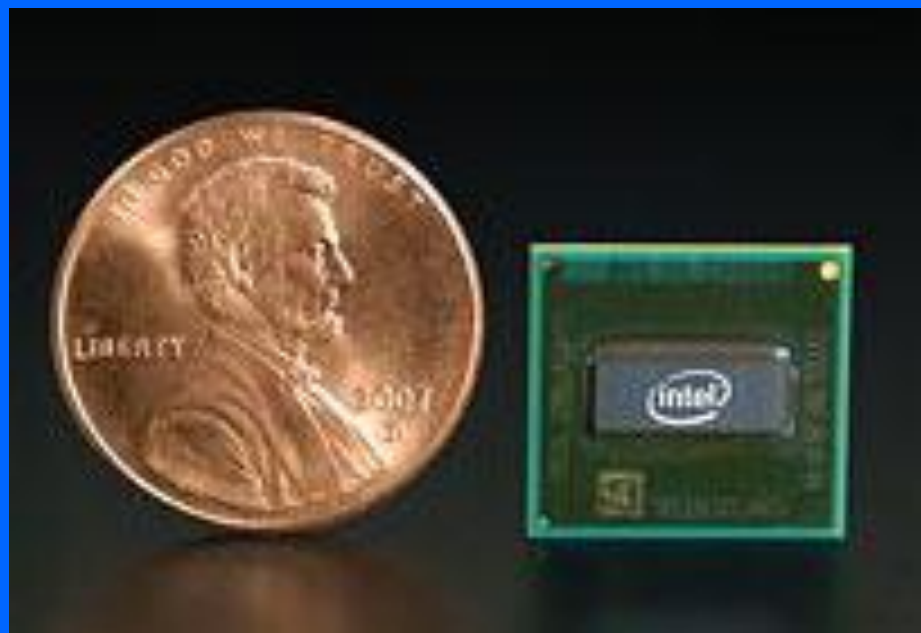
Электроника



Мобильные интернет  
устройства



# Atom processor



Производится по 45 нм технологии. Каждое ядро состоит из 47 миллионов транзисторов.

Новый двухядерный Intel® Atom™ работает на 1.6GHz, имеет память 1MB второго уровня, потребляет не более 8W TDP.

# Embedded Devices



# Основные тенденции полупроводниковой индустрии

- Закон Мура продолжает действовать
- Рост стоимости разработки новых технологий и материалов, а также затраты на содержание фабрик растут.
- Производительность также растет. Ожидается скачек при переходе на 450 нм пластины

Как результат:

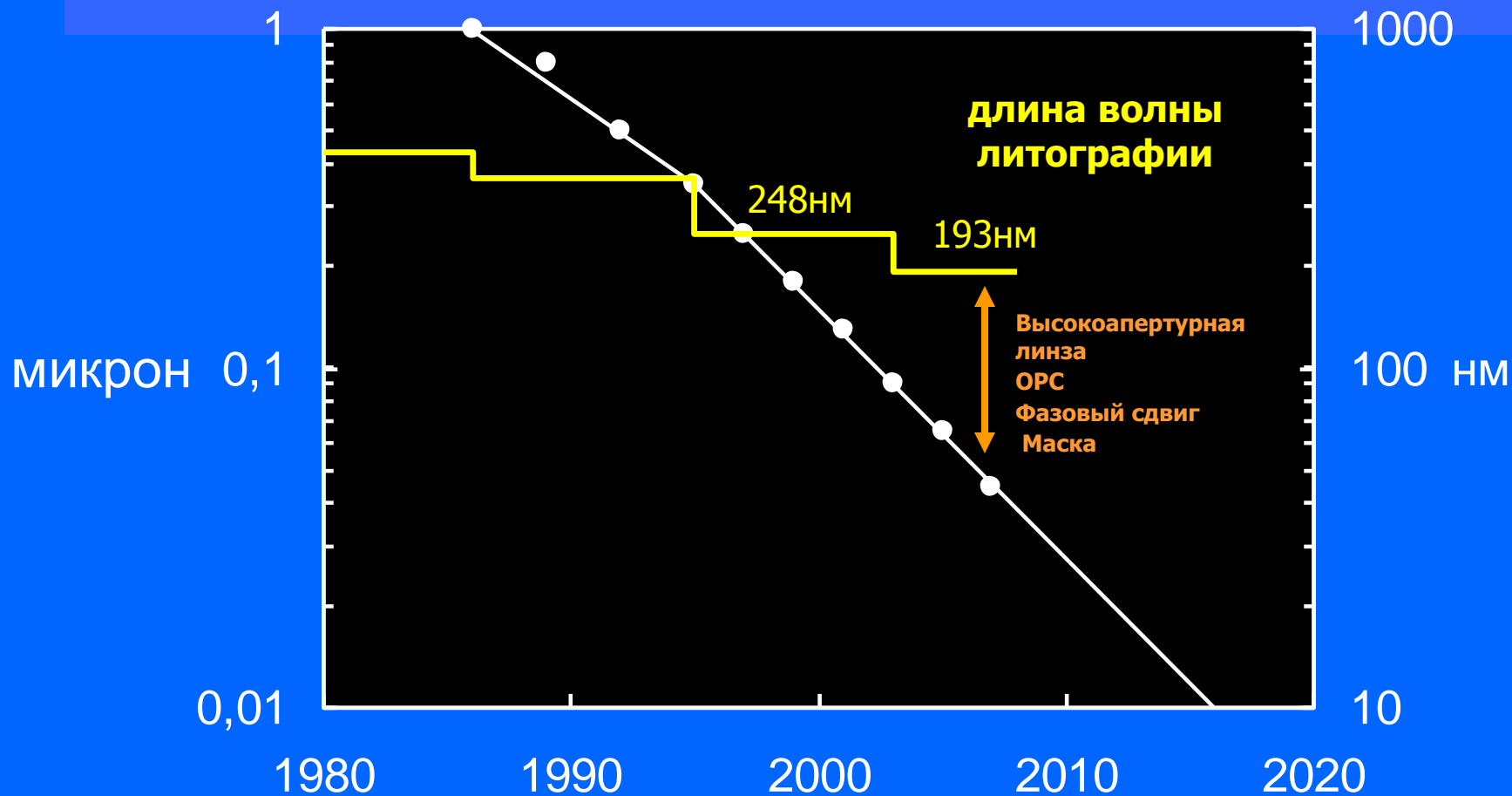
- *Разделение компаний на “fabless” и “foundry”*
- *Outsource основных R&D*
- *Дифференциация за счет развития software*

# Технологии будущего

# Проблемы литографии



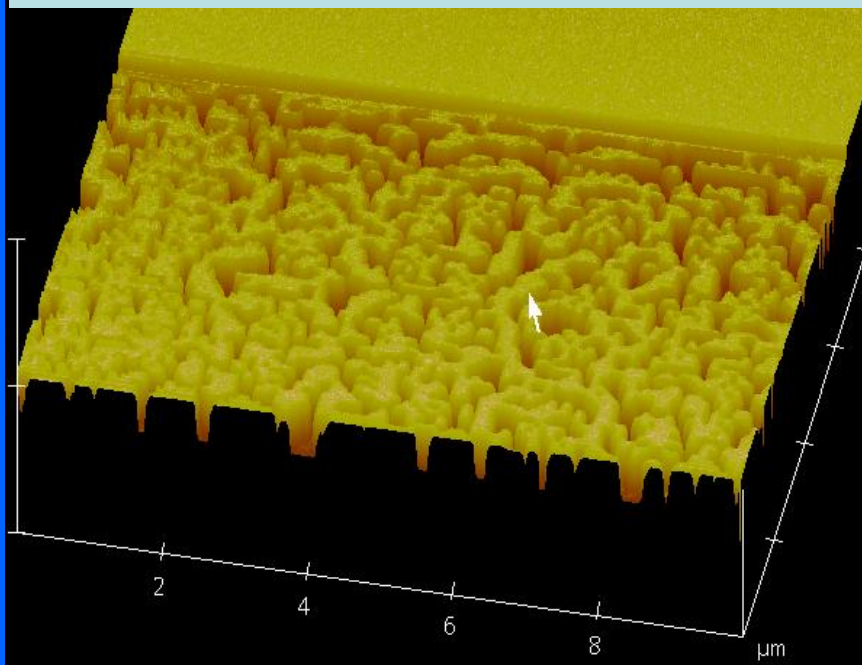
# Литография



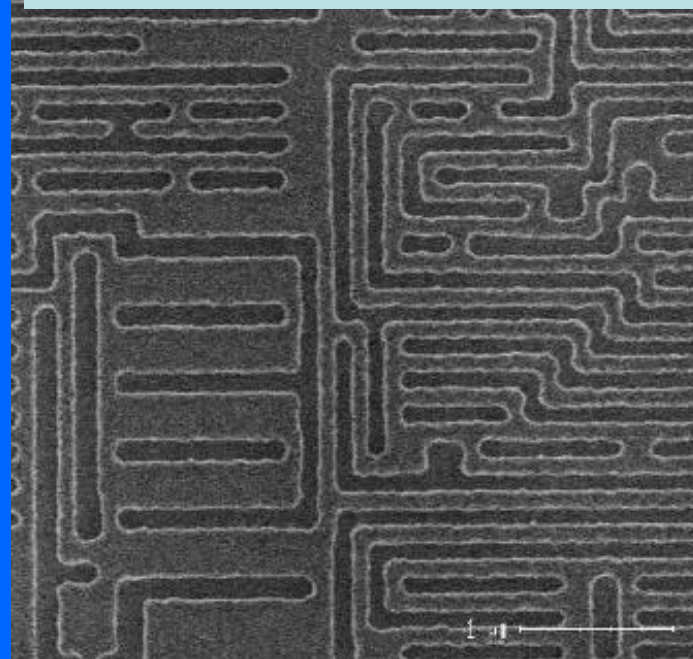
Новые разработки позволили сохранить 193 нм литография для технологии 32 нм

# Пиксельная фазовая маска

Atomic Force Microscope Picture of Pixelated Phase Mask

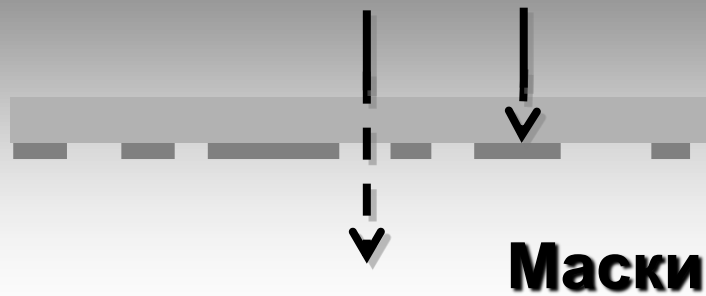


SEM Picture of Cedarmill MT1 resist Pattern from Pixelated Phase Mask



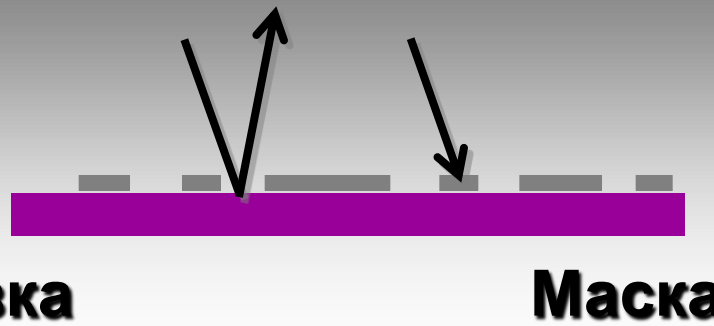
# Оптика отражения идет на смену оптике преломления

## Преломляющая оптика



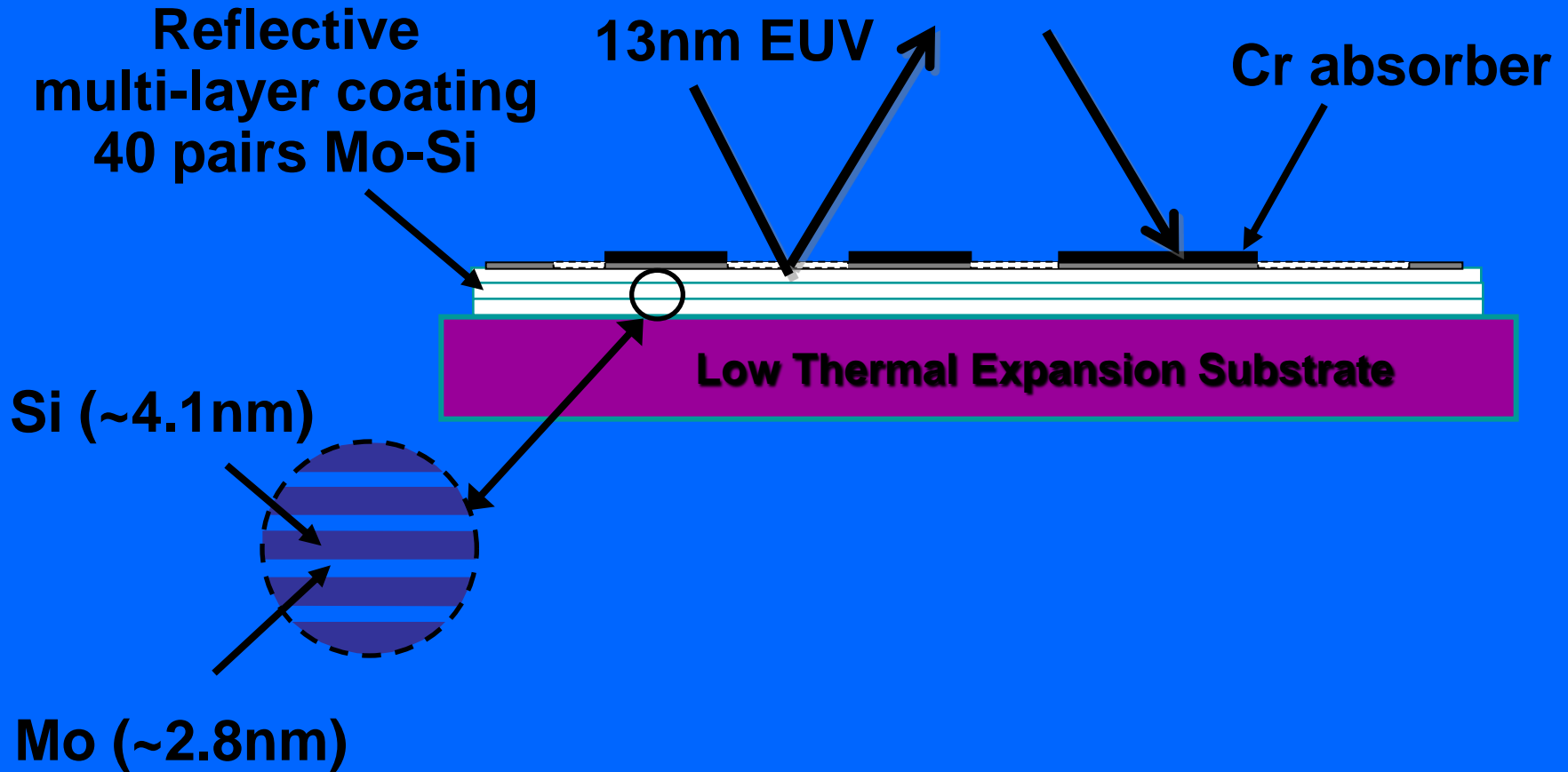
Оптические материалы не прозрачны для 13.5 нм

## Отражающая оптика



Многослойная Отражающая оптика

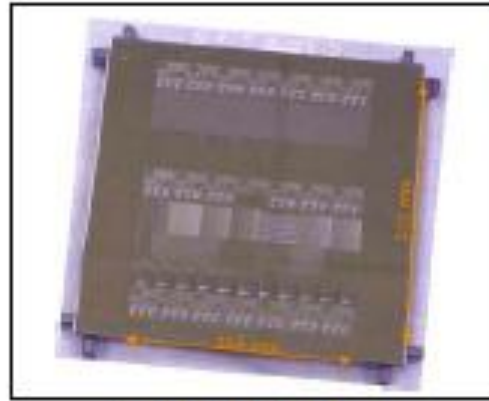
# EUV отражающая маска



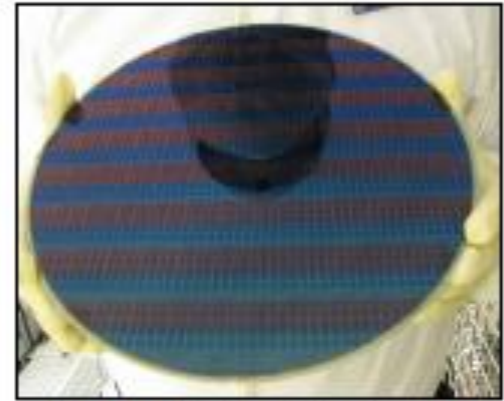
# Extreme Ultraviolet Lithography



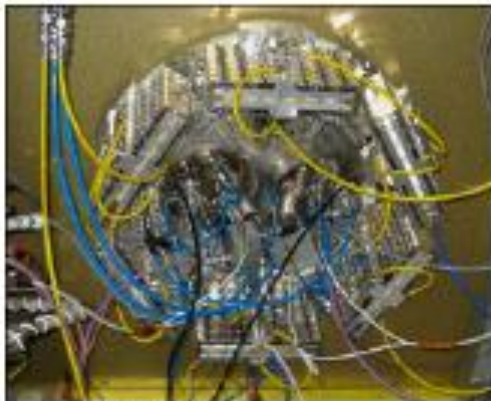
Cymer beta source



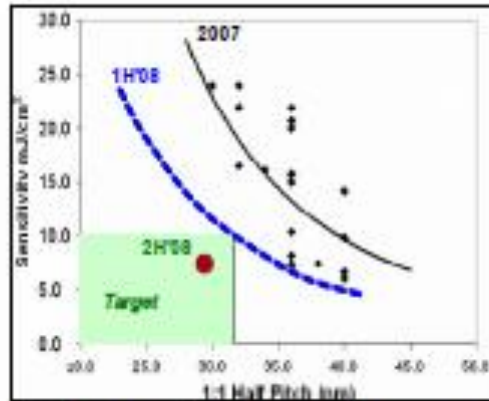
Intel EUV Mask



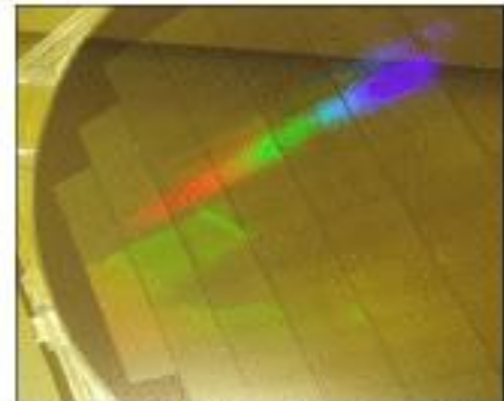
ASML ADT printed wafer



Philips beta source



Photoresist Development

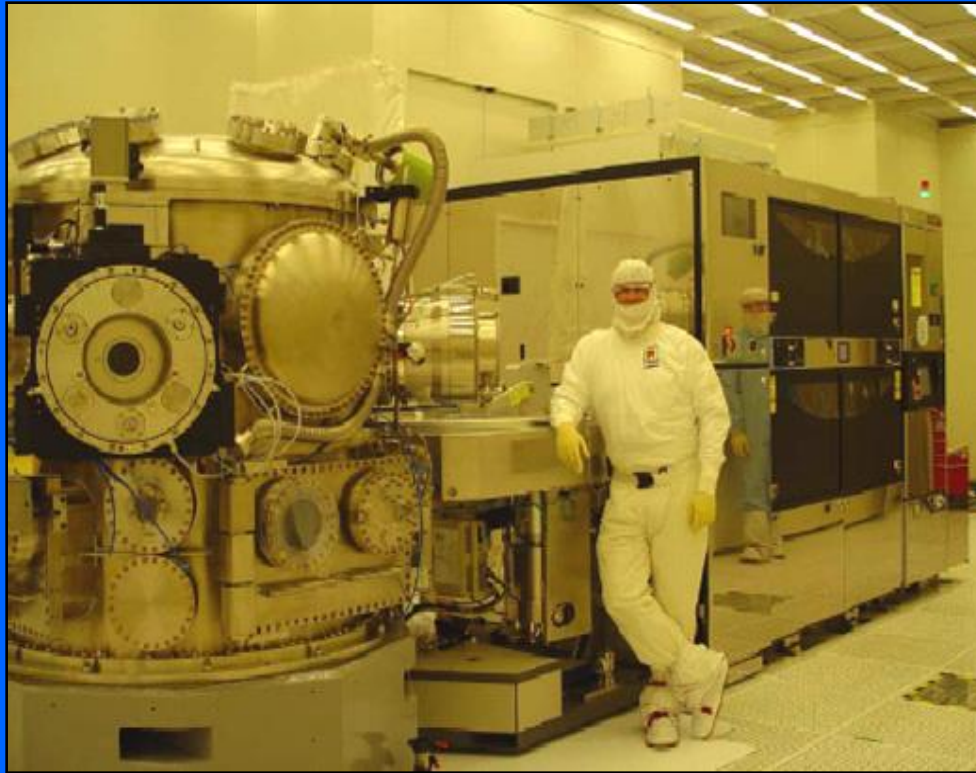


Nikon EUV1 printed wafer

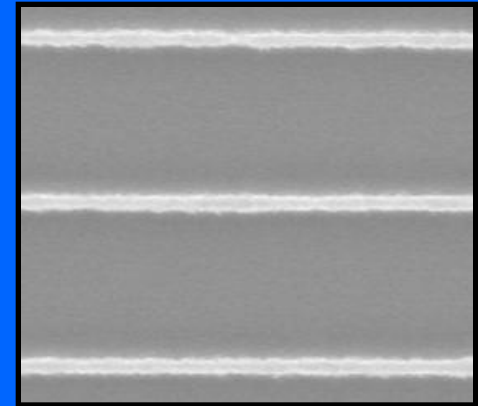
Continued progress towards EUV implementation



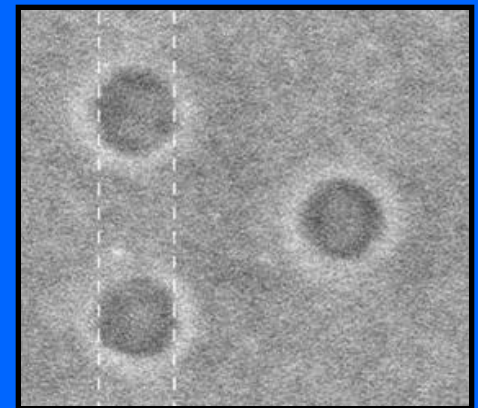
# Литография дальним ультрафиолетом



Действующая исследовательская установка EUV в Орегоне



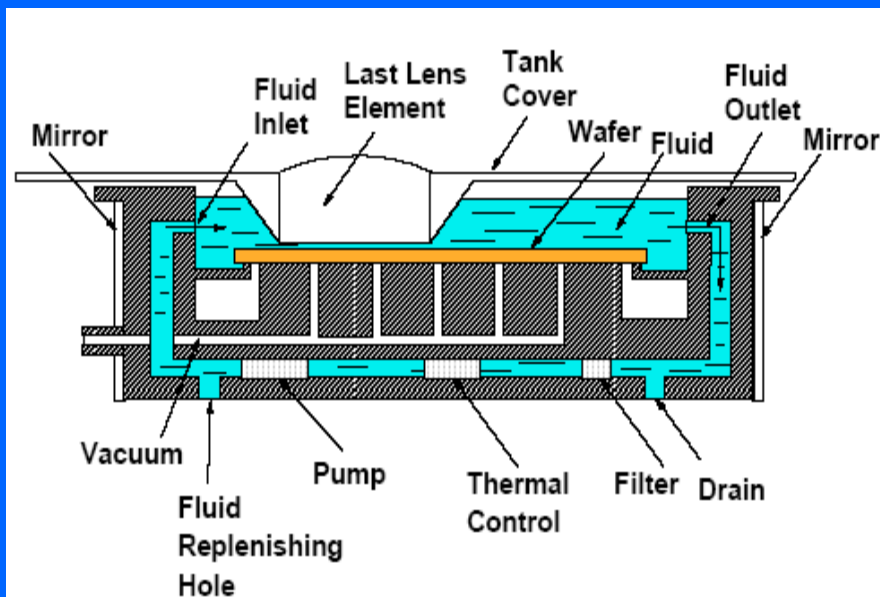
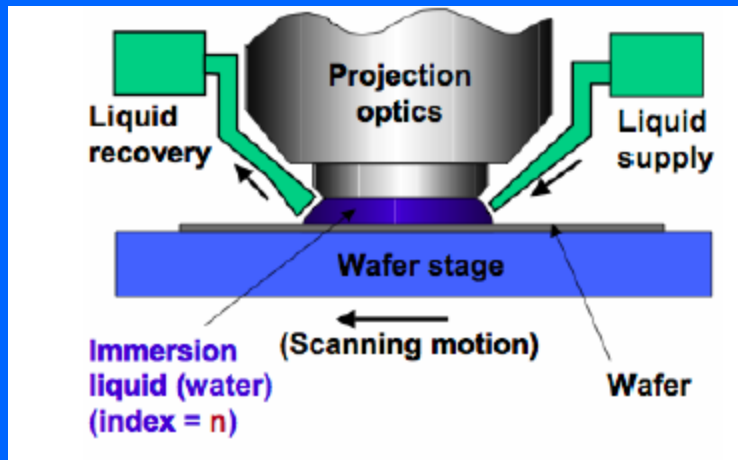
Дорожки 27 нм



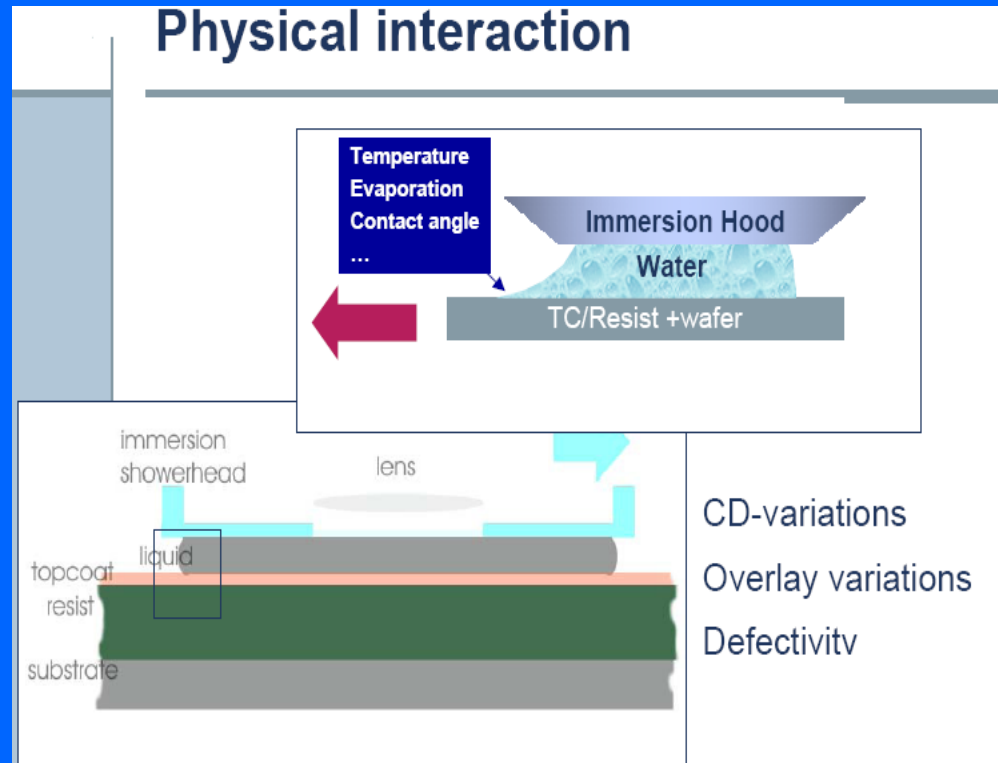
Контакты 41 нм



# Иммерсионная литография



## Physical interaction



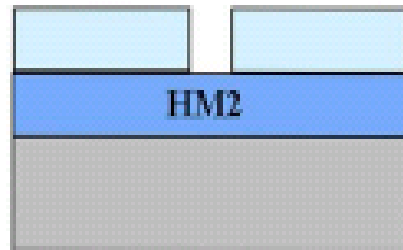
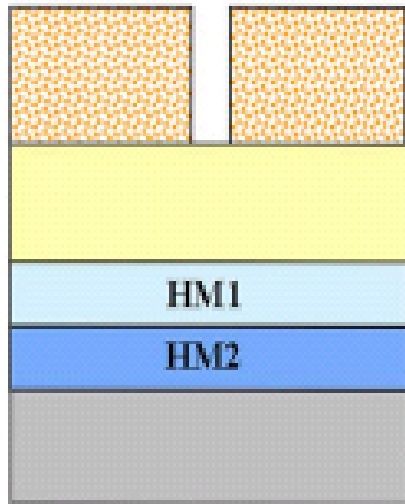
Immersion lithography: \$30M!!

# Проблемы иммерсионная литографии

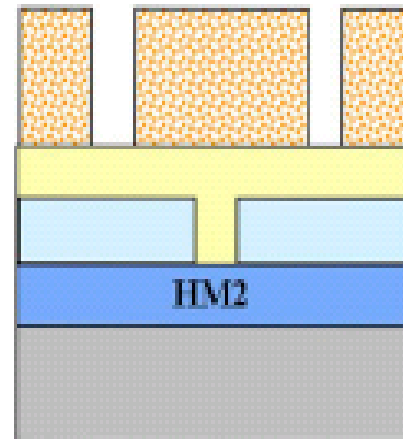
- Очень большие (дорогие) линзы
- Проблемы с гидродинамикой и механическими перемещениями
- Образование пузырьков в жидкости в процессе экспозиции
- Все вибрации распространяются через жидкость и передаются линзам
- Нагрев (неравномерный) жидкости в процессе экспозиции
- Возникновение новых механизмов возникновения дефектов на пластине
- Взаимодействие резиста с жидкостью
- Загрязнение жидкости
- Эффекты поляризации, снижение контраста

# Двойная экспозиция

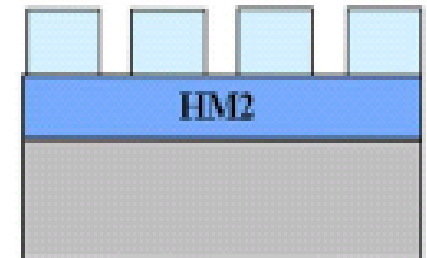
- BARC open
- HM1 open
- PR stripping



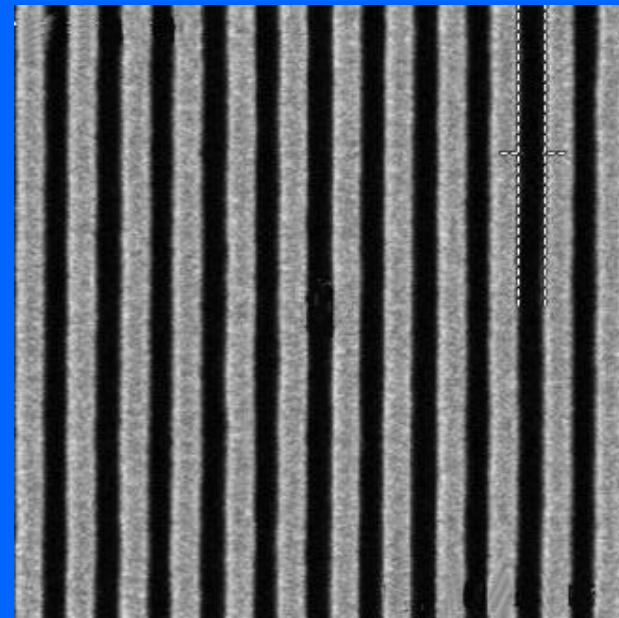
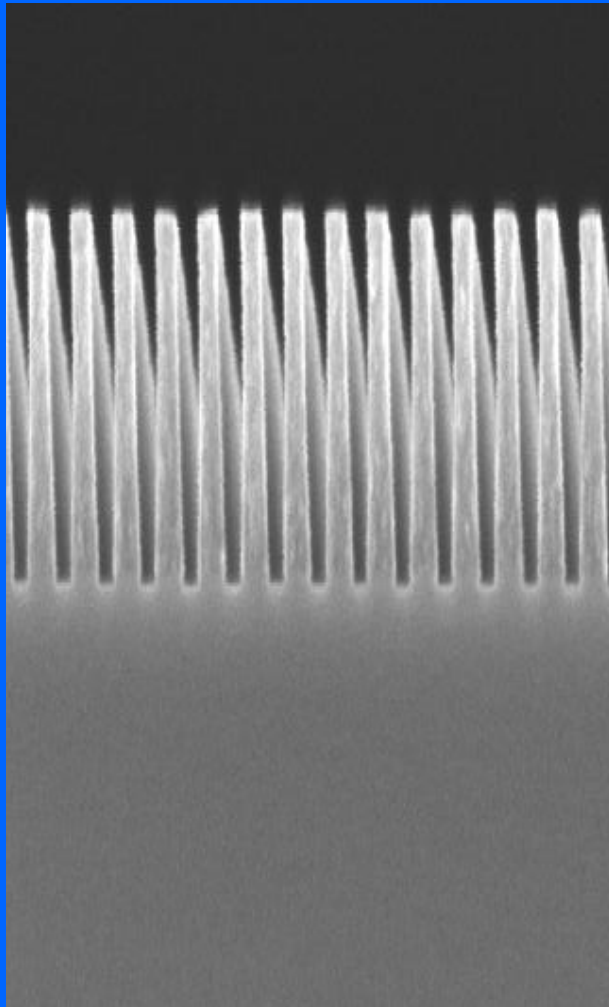
- BARC deposition
- 2<sup>nd</sup> PR printing



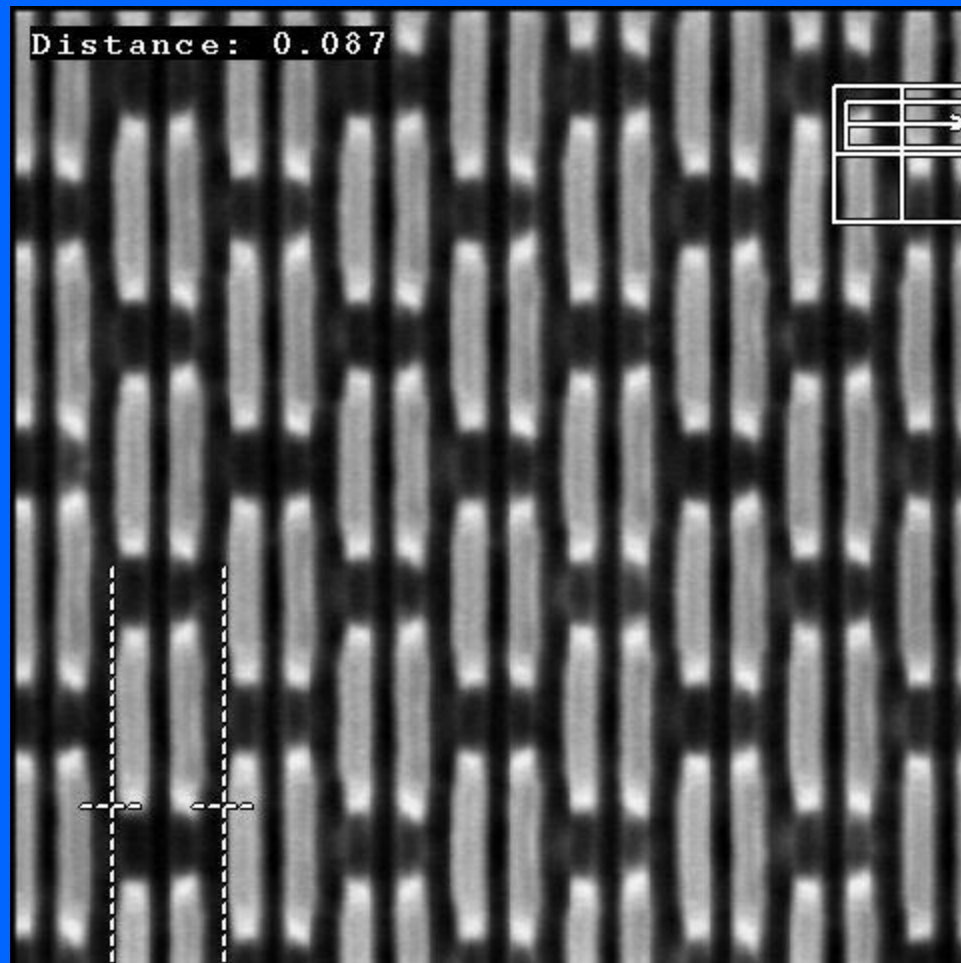
- BARC open
- HM1 open
- PR stripping



# 32nm Line/Space Array made with 128nm Pitch on 193nm dry litho



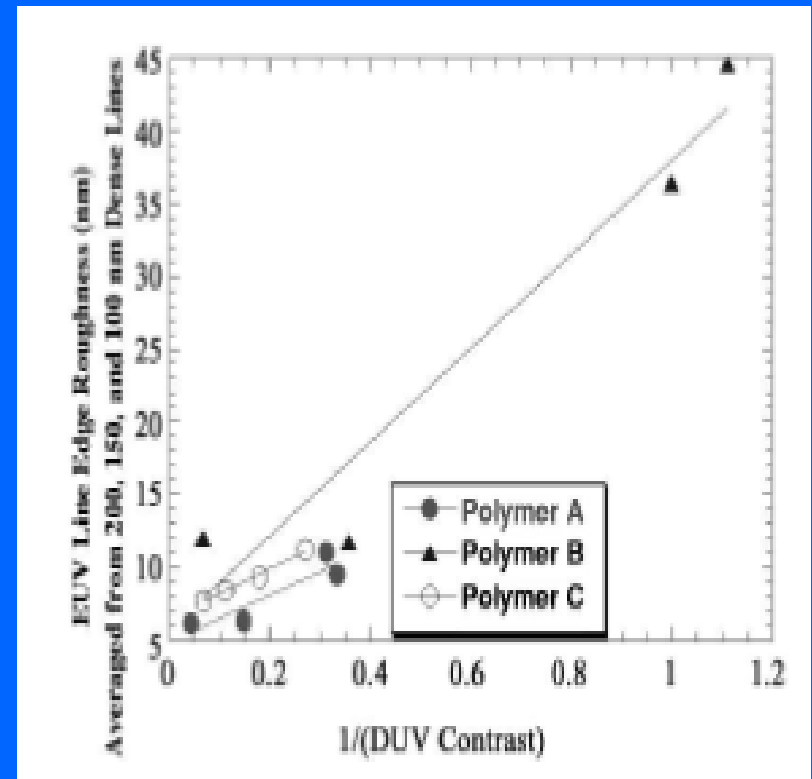
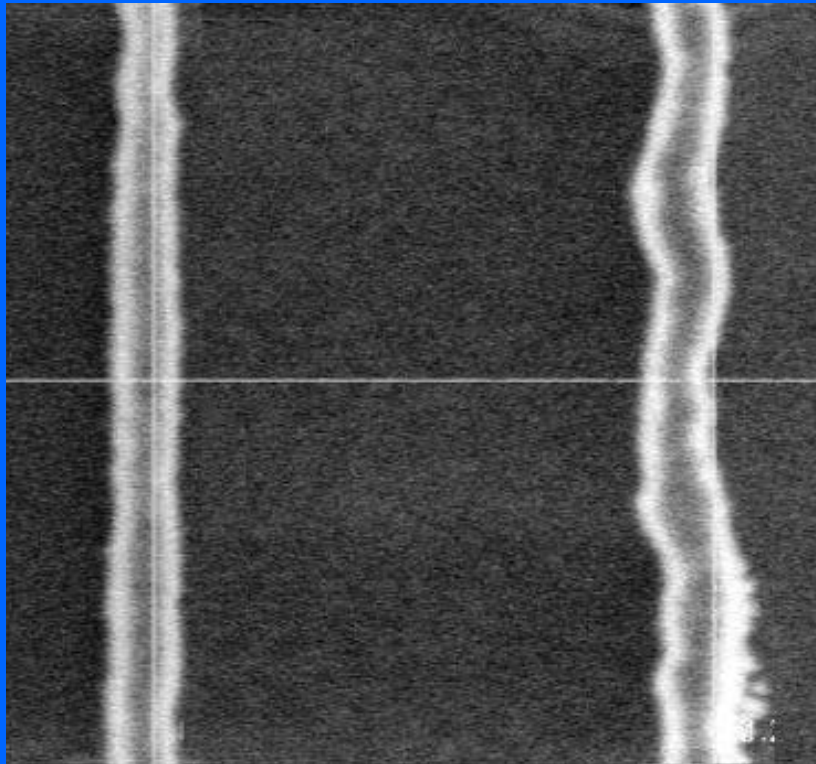
Line Edge Roughness  
1.5nm



*SEM of 11nm node SRAM structure (22nm half-pitch) demonstrates scalability of SADP technology. (Source: Applied Materials)*



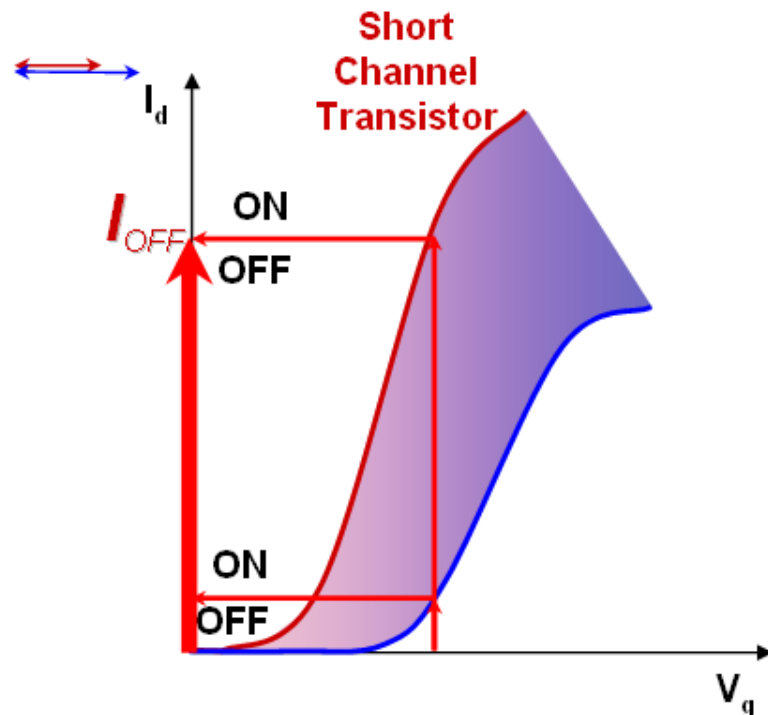
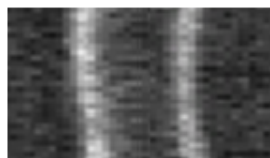
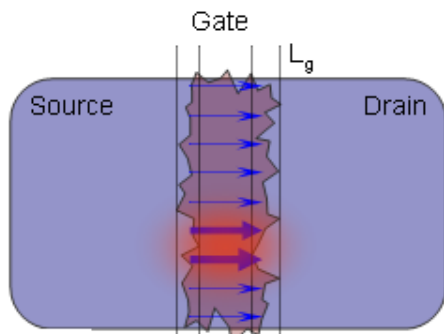
# LER/LWR



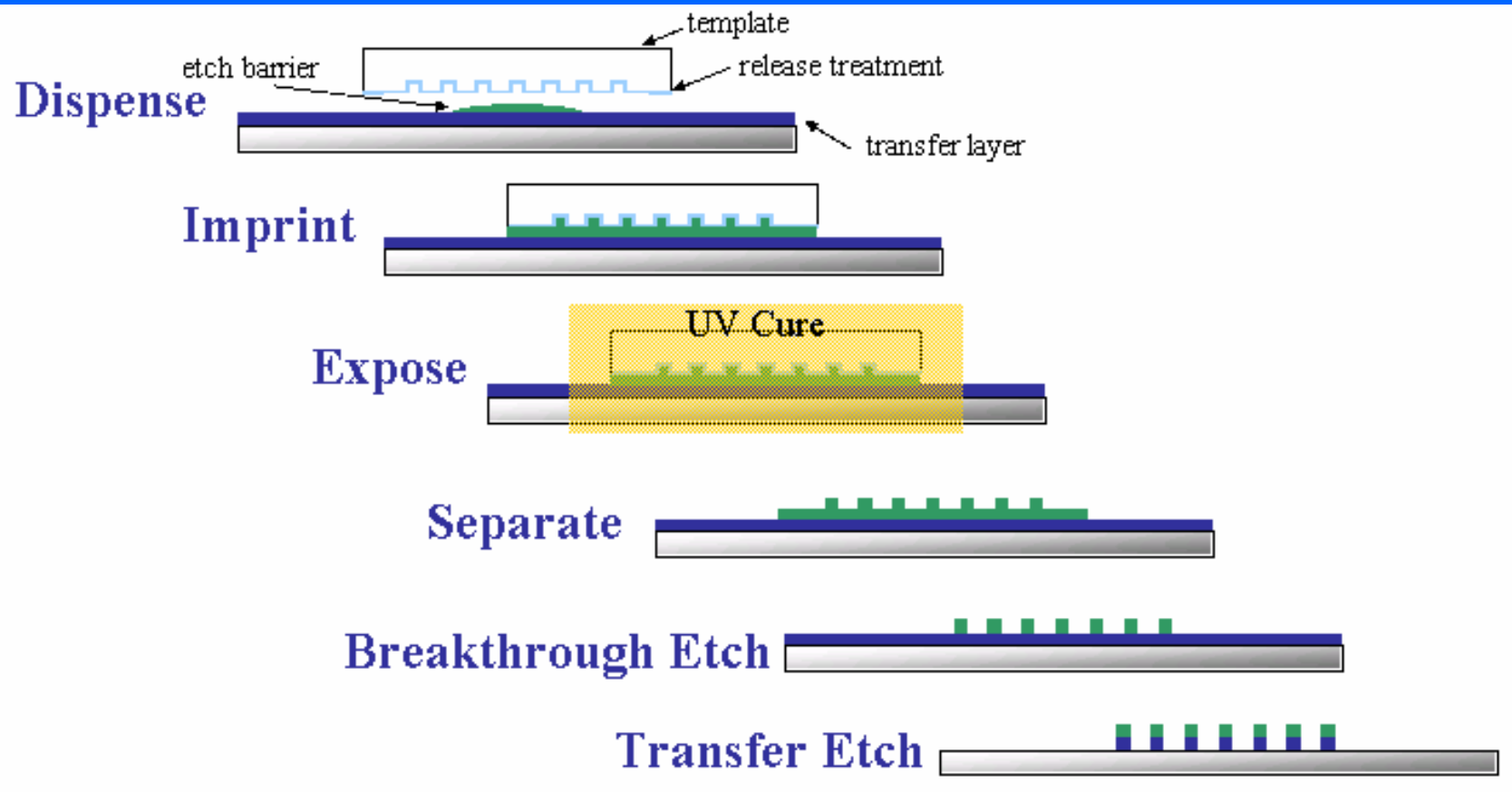
# Main LER Related Yield/Reliability Implications

## Device threshold voltage variability, short channel effects and associated issues

- Device reliability
- Device-to-device performance variation
- Off-state leakage current - the major contributor to the total power consumption mostly due to shorter gates.



# Imprint lithography



# Основные проблемы

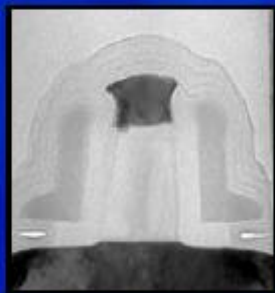
- Новые нелинейные фоторезисты для двойного экспонирования.
- Новые резисты для EUV
- Снижение ELR
- Повышение квантового выхода!
- Адекватные модели процессов на всех технологических стадиях
- Новые полимерные матрицы для rSEL на 193 нм.

# Проблемы уменьшения размеров транзисторов



# Кремний работает до 10 нм!!

90nm Node  
2003



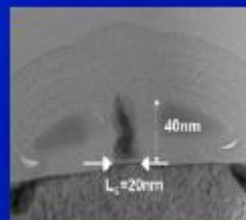
50nm Length  
(IEDM2002)

65nm Node  
2005



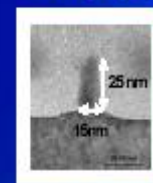
30nm Prototype  
(IEDM2000)

45nm Node  
2007



20nm Prototype  
(VLSI2001)

32nm Node  
2009



15nm Prototype  
(IEDM2001)

22nm Node  
2011



10nm Prototype  
(ITJ 2002)

Increasing leakage

# Пути развития полевых транзисторов

90nm Node  
2003

65nm Node  
P1264  
2005

45nm Node  
P1266  
2007

32nm Node  
P1268  
2009

22nm Node  
P1270  
2011

2013-2019

50nm Length  
(Production)

30nm

35 nm Length

40nm

$L_G=20nm$

25 nm Length

25 nm

15nm

$L_G=10nm$

15nm Length  
(Research)

10nm Length  
(Research)

Uniaxial  
Strain

SiGe S/D

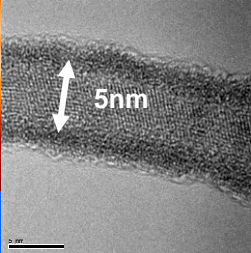
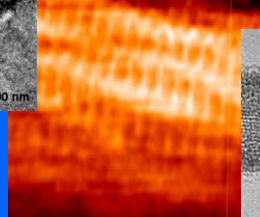
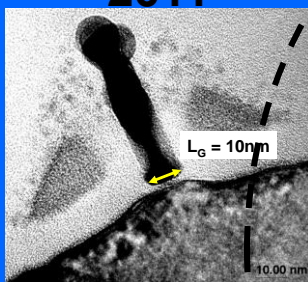
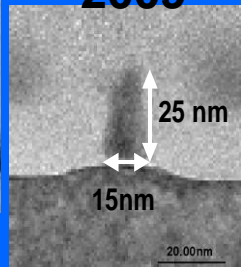
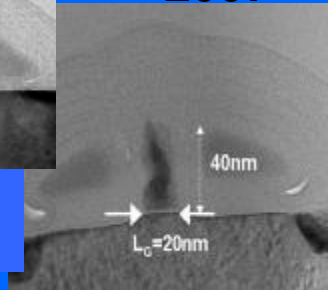
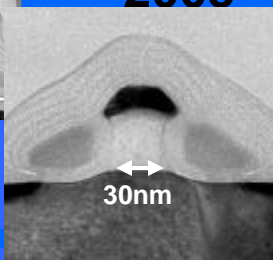
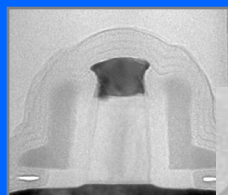
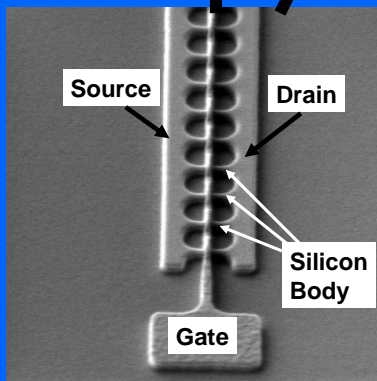
High-K/  
Metal-Gate

III-V Device  
Prototype  
(Research)

C-nanotube  
Prototype  
(Research)

Nanowire  
Prototype  
(Research)

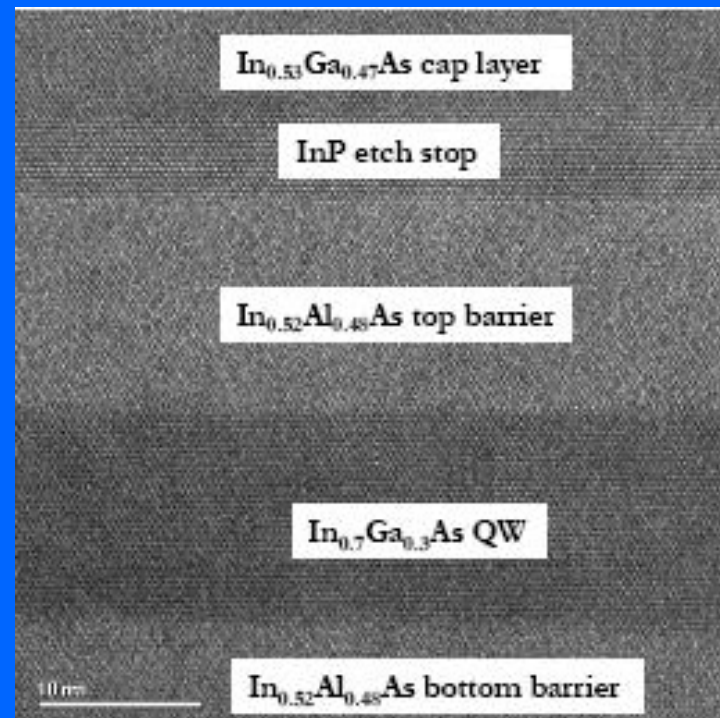
Non-planar  
Tri-Gate  
Architecture



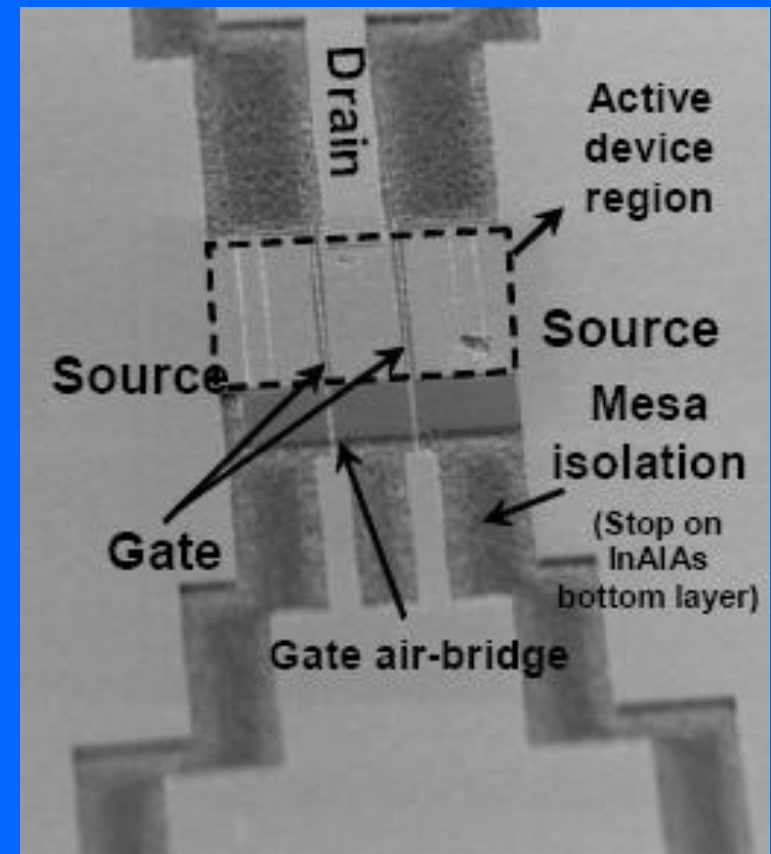
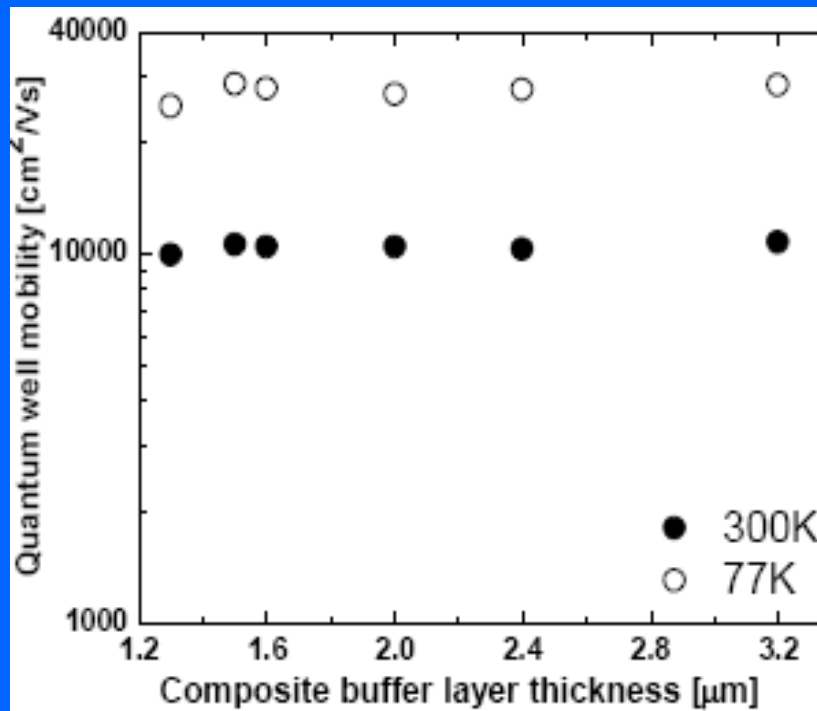
# In<sub>0.7</sub>Ga<sub>0.3</sub>As QWFET на кремнии

n <sup>++</sup> -In <sub>0.53</sub> Ga <sub>0.47</sub> As contact	: 20 nm
InP etch stop	: 6 nm
In <sub>0.52</sub> Al <sub>0.48</sub> As top barrier	: 8 nm
Si delta-doped layer	
In <sub>0.52</sub> Al <sub>0.48</sub> As spacer layer	: 5 nm
In <sub>0.7</sub> Ga <sub>0.3</sub> As channel	: 13 nm
In <sub>0.52</sub> Al <sub>0.48</sub> As bottom barrier	: 100 nm
In <sub>x</sub> Al <sub>1-x</sub> As graded buffer (x=0-0.52):	0.7-1.1 μm
GaAs nucleation and buffer layer:	0.5-2.0 μm
4°(100) Offcut p-type Si substrate	

Metamorphic buffer



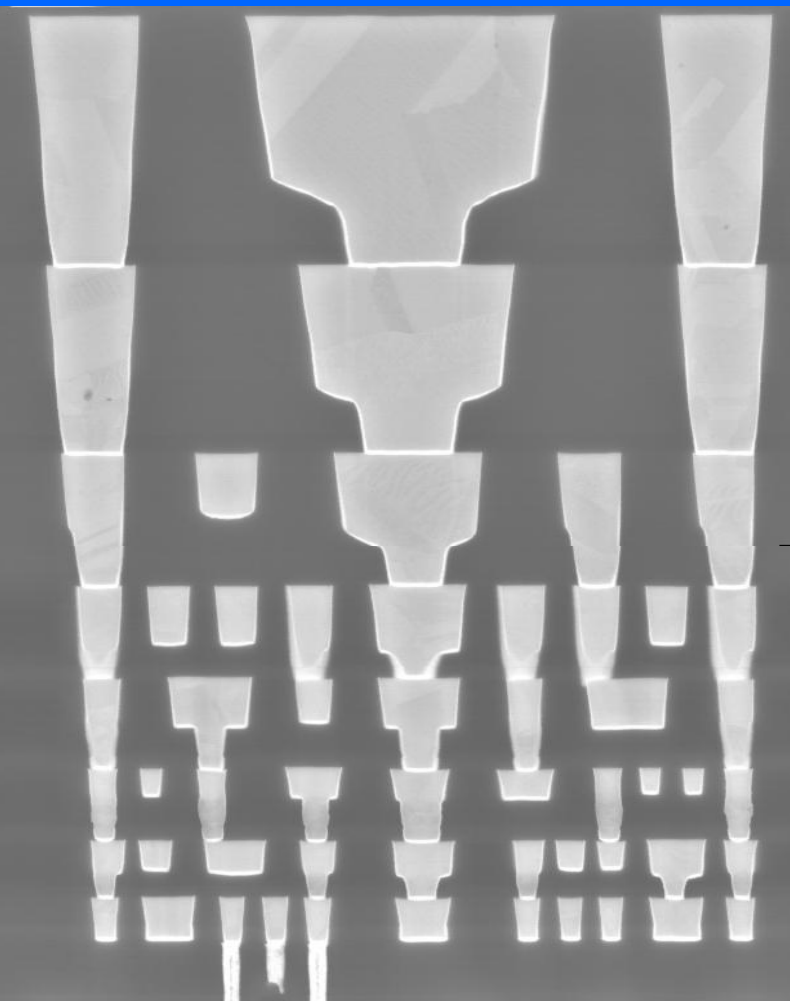
# $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ QWFET на кремнии



# Металлизация и Low-k диэлектрики



# Структура соединений в чипе



M8

M7

M6

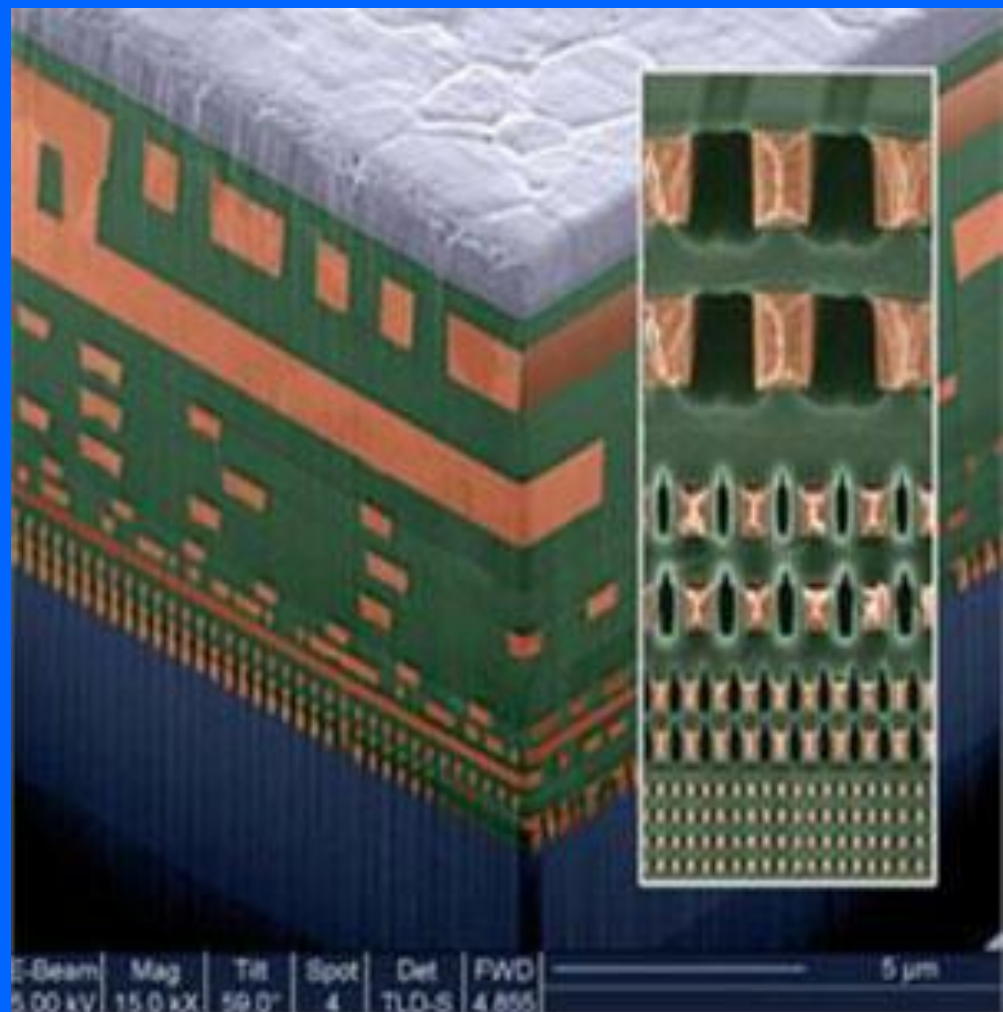
M5

M4

M3

M2

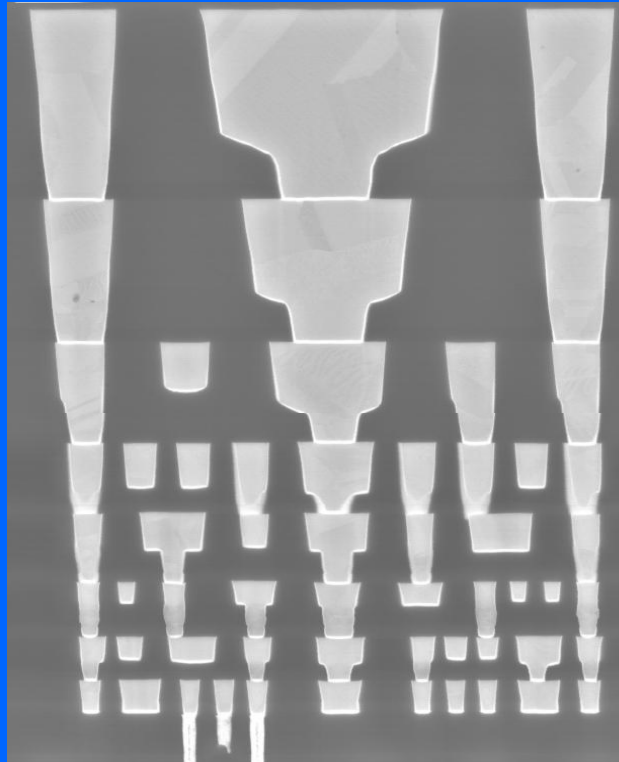
M1



E-Beam	Mag	Tilt	Spot	Det	FWD
5.00 kV	15.0 kX	59.0°	4	TLO-S	4.855

5 μm

# Межсоединения (металлизация) становятся все более сложными



M8

M7

M6

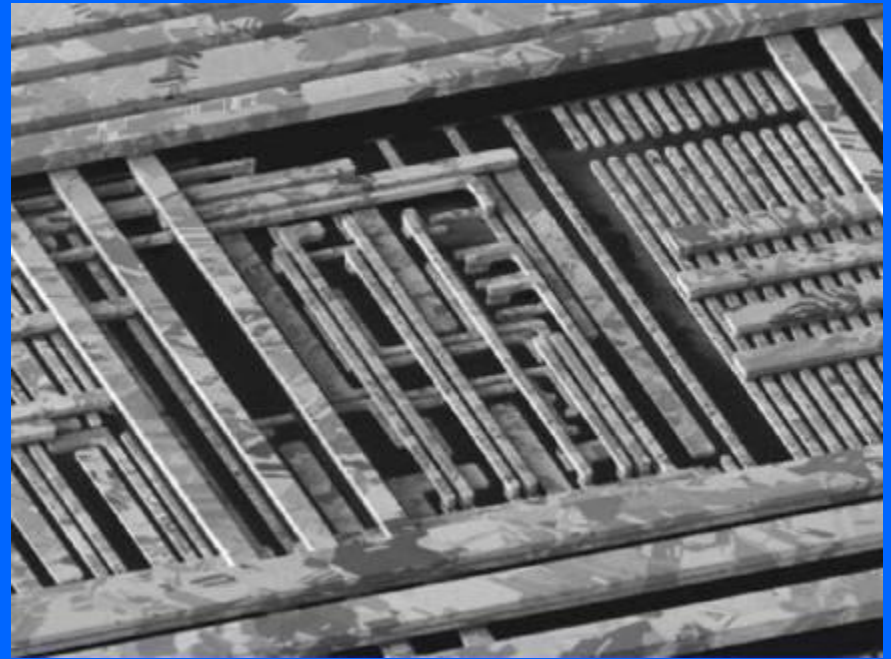
M5

M4

M3

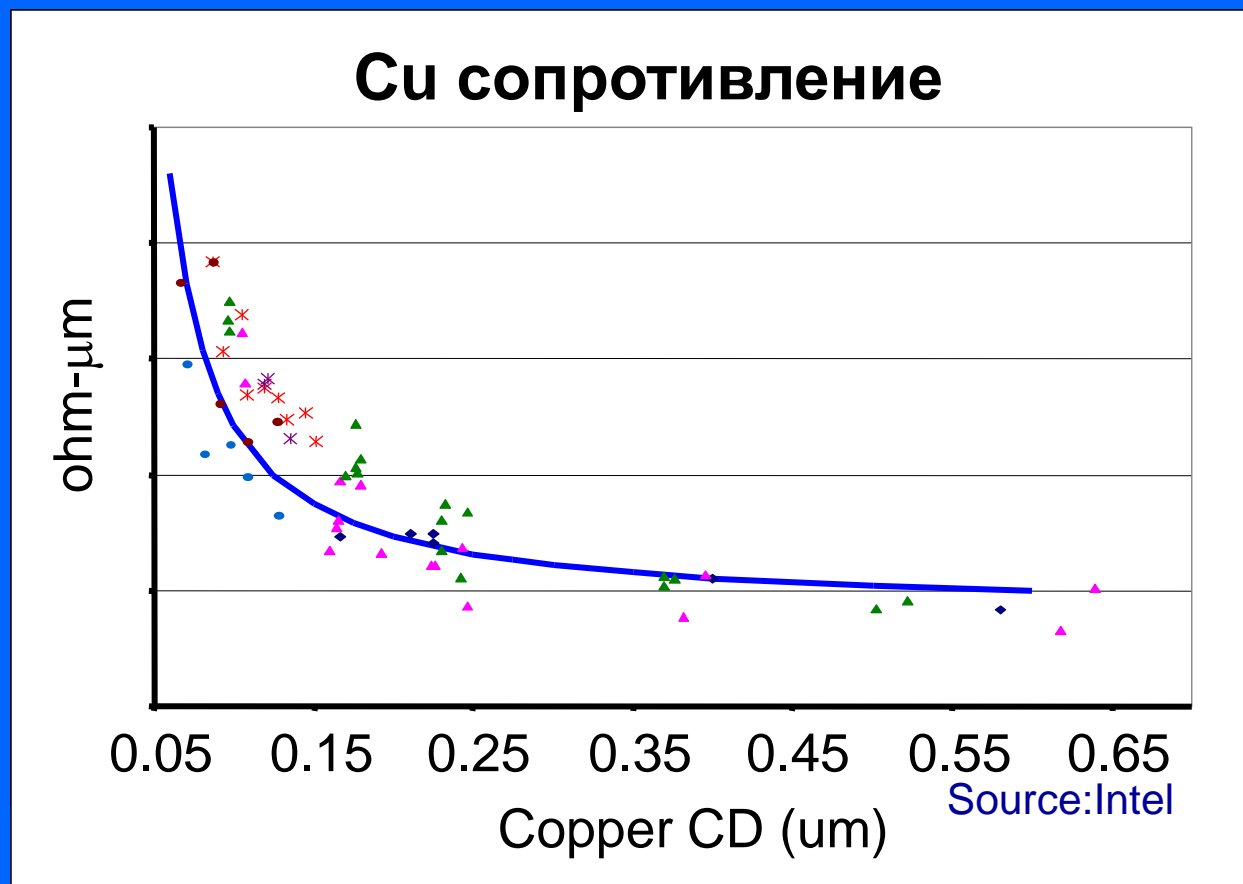
M2

M1



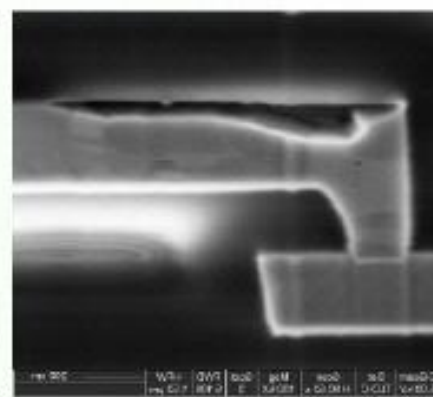
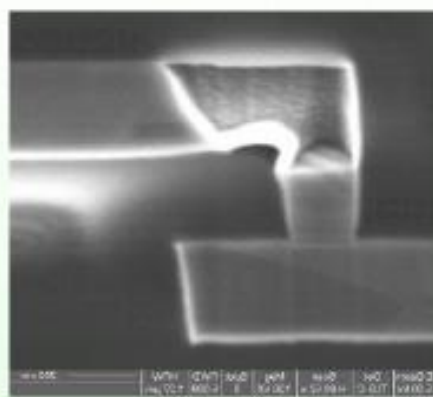
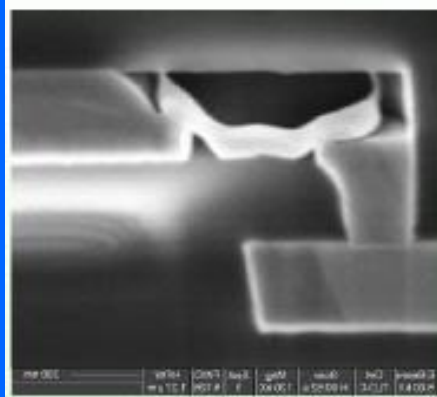
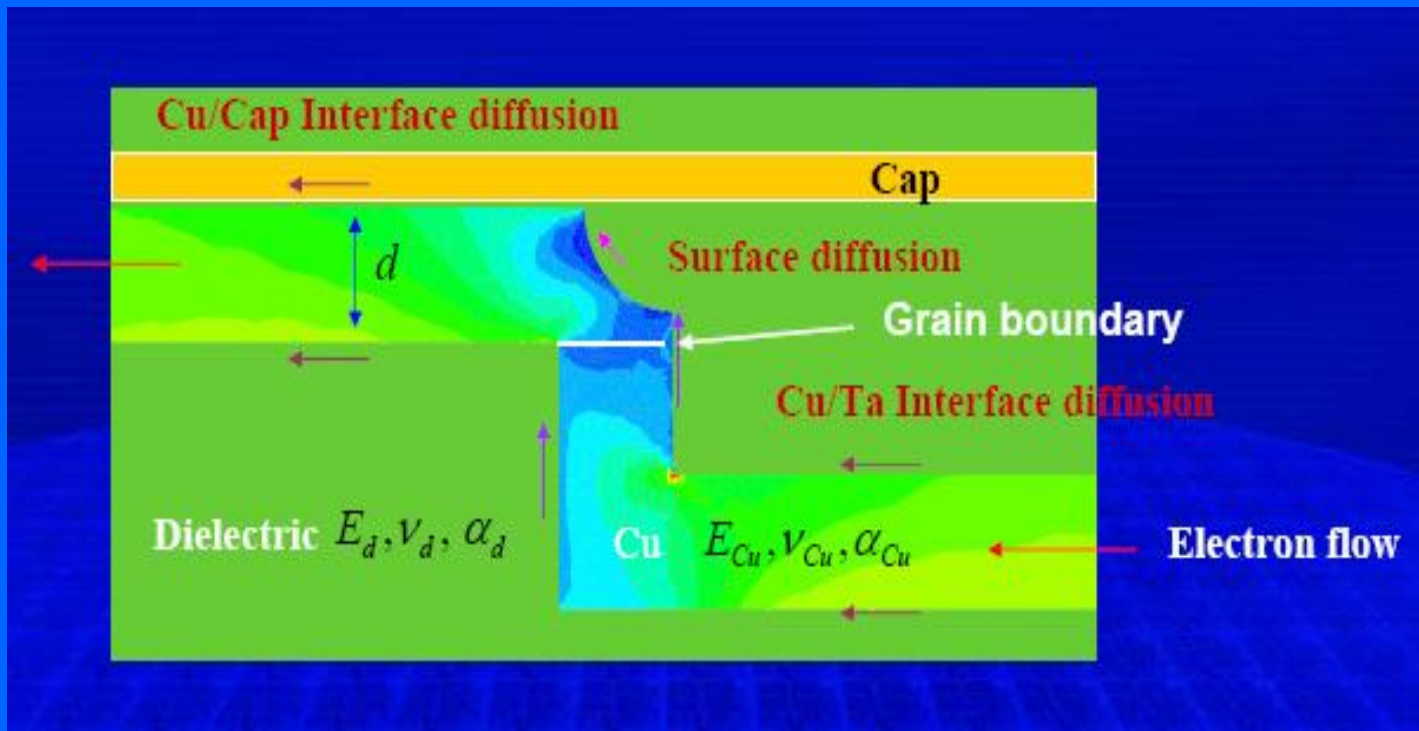
- 9 слоев медных соединений для 45 nm технологий
- Low K диэлектрики для снижения потерь

# Масштабирование межсоединений

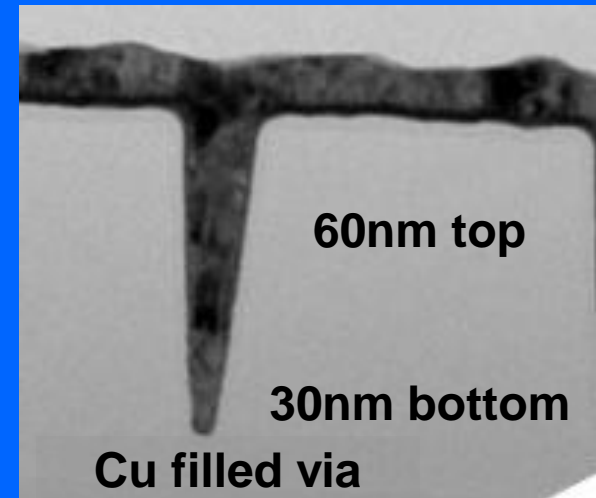
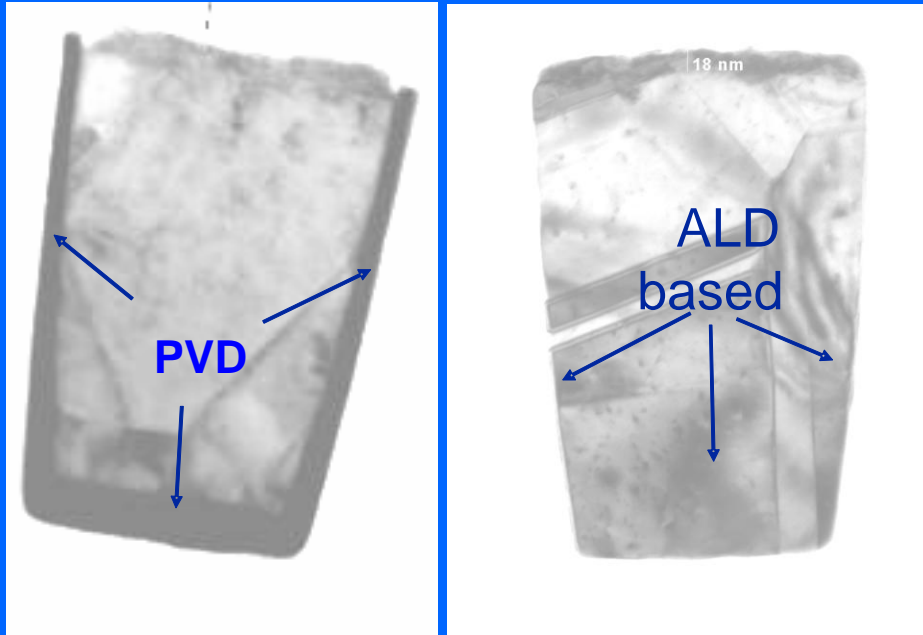


- Эффективное сопротивление возрастает из-за:
  - Рассеяния на границах
  - Рассеяние на поверхности

# Моделирование разрыва



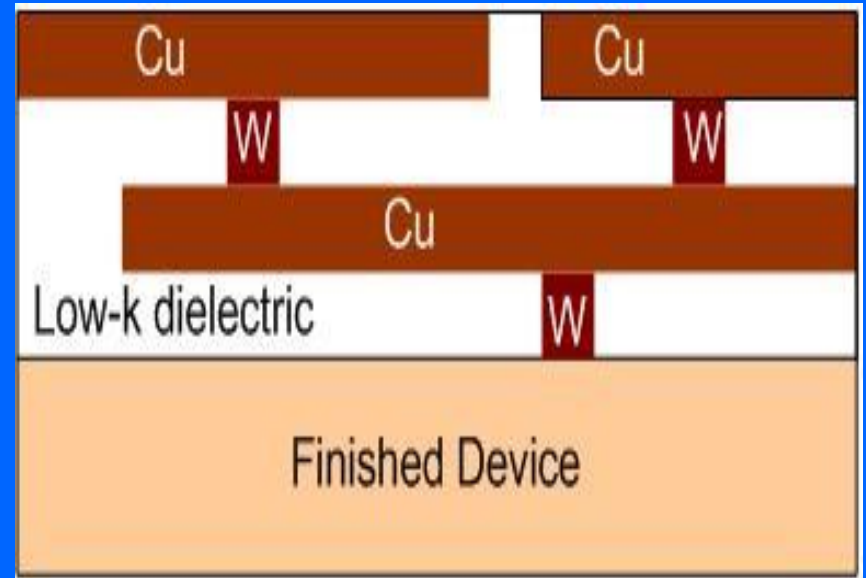
# Cu провода



- Снижение толщины барьера

# Why Low- $k$ Dielectrics?

- Reduce RC constant without reducing size
- $R \rightarrow$  metal interconnect  
↓  
minimized with Cu
- $C \rightarrow$  dielectric  
↓  
need low- $k$



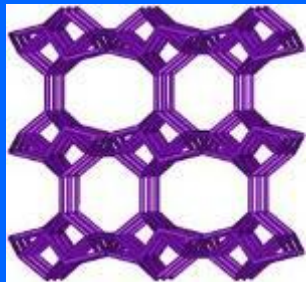


# Required Properties of Low- $k$ Dielectrics

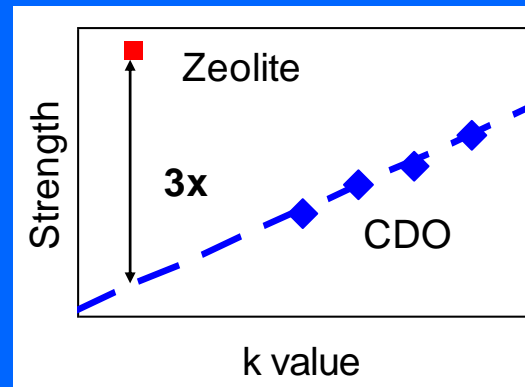
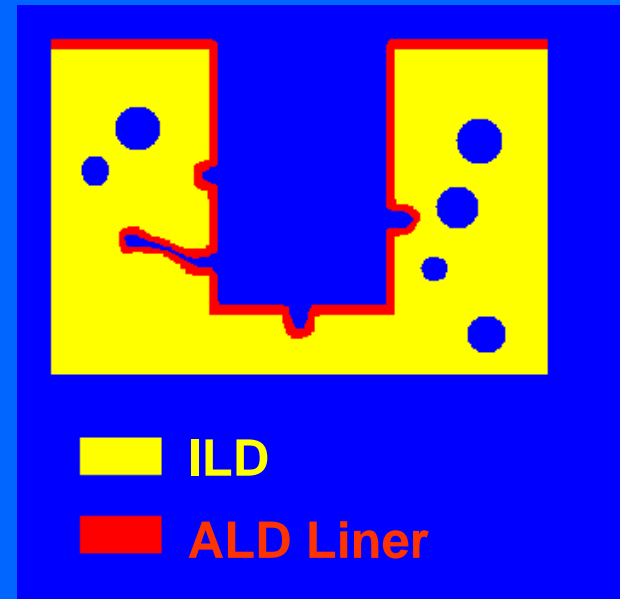
Electrical	Mechanical	Thermal	Chemical	General
$k < 3$ and isotropic	good adhesion to metal or other dielectrics	low thermal expansion/shrinkage	no material change when exposed to standard chemistries	environmentally safe
high breakdown voltage	stability (low brittleness, crack resistance)	high thermal stability	no metal corrosion	commercially available
low leakage current	uniform thickness	high thermal conductivity	<1% moisture absorption	low cost
high reliability			low solubility in water	
			low defect density	

# Low K диэлектрик

- Пути уменьшения диэлектрической проницаемости:
  - Пористые материалы (регулярные и нерегулярные)
  - Включение метильных групп
  - Новые полимеры с low K



Source: Li et al, UCR, J Phys Chem, 2005

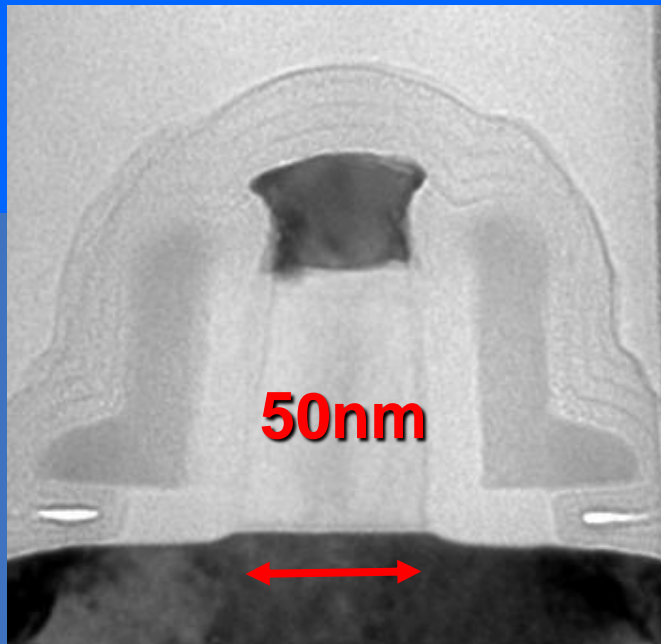


# Выводы

- Кремниевые технологии являются основными в современной полупроводниковой технологии и в ближайшие годы закон Мура сохранится как минимум до 2015 года.
- Должны создать новые фоторезисты для дальнейшего развития полупроводниковой индустрии.
- Использование новых материалов и технологий является критическим для продолжения масштабирования межсоединений.

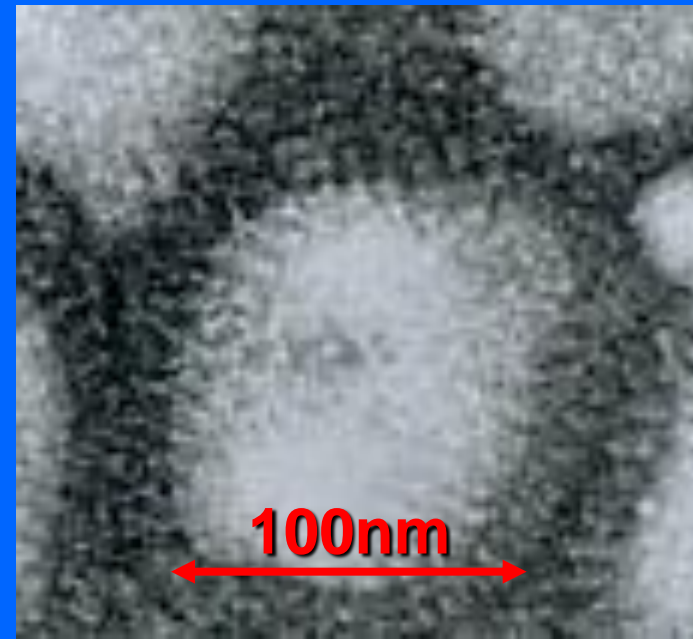
# Расширение границ закона Мура

## Медицина и кремниевые нанотехнологии



**Transistor for  
90nm-node  
Gate oxide=1.2nm**

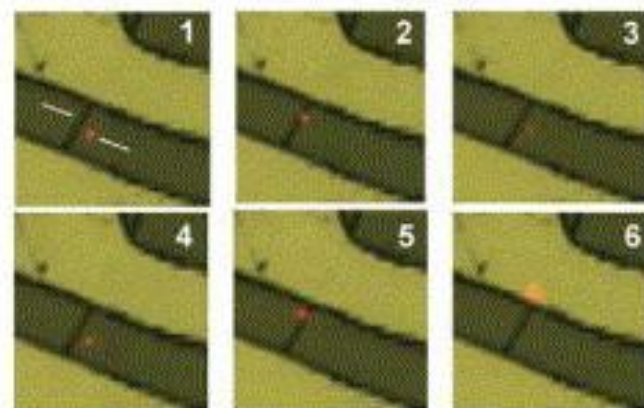
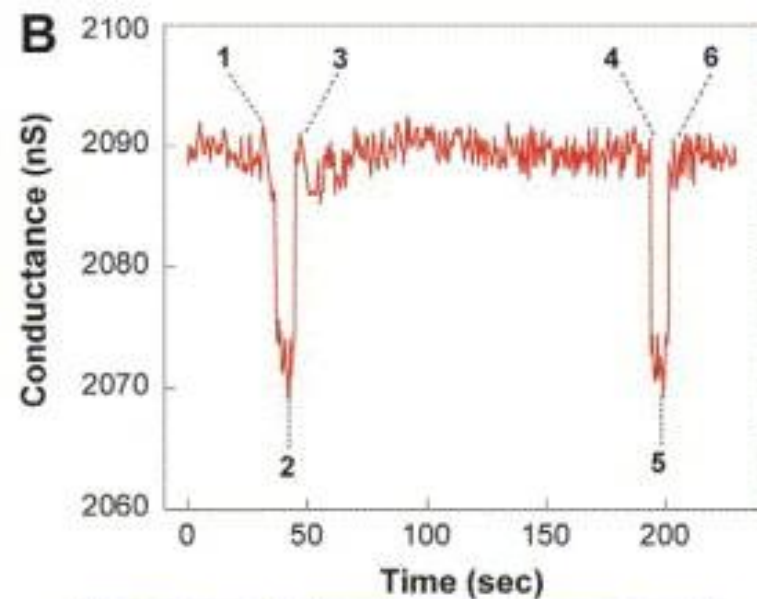
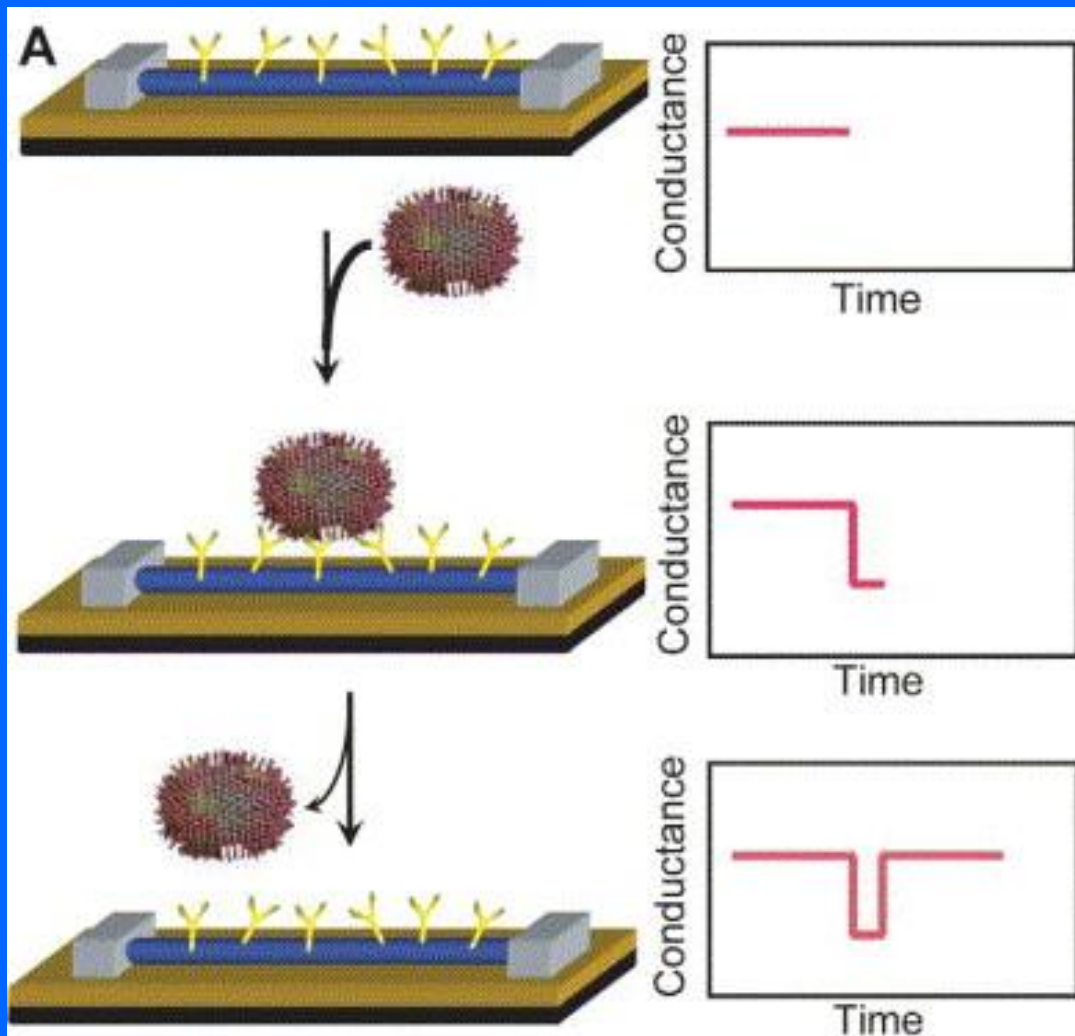
Source: Intel



**Influenza virus**

Source: CDC

# Сенсоры единичных молекул



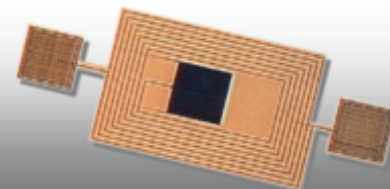
# Расширение границ закона Мура

## Медицина и кремниевые нанотехнологии



Исследо-  
вание  
болезней

ДНК  
Анализ



Интеллек-  
туальные  
системы



мониторинг  
здоровья



# Какие возможности после CMOS?

-Резонансно – туннельные приборы

-Квантовые клеточные автоматы

-Альтернативная логика:

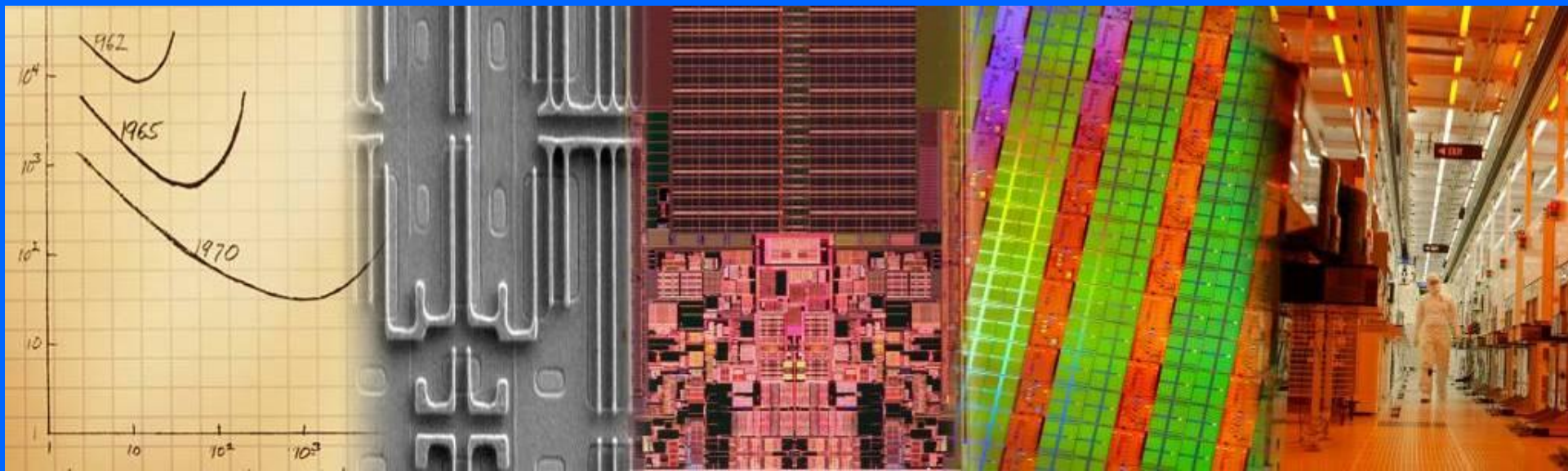
спинтроника

приборы с фазовыми переходами

фотонная логика

# Выводы

- Зарядовые вычисления имеют энергетический предел и MOSFET достаточно близок к нему
- Необходимо искать альтернативные методы (не зарядовые) вычислений
- Такие альтернативы должны позволять масштабировать приборы до меньших размеров, требовать меньшую энергию на переключение и быть более «быстрыми»
- Спинтроника, орбитроника и электрические диполи являются наиболее перспективными.



Спасибо